

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-334659

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

G11C 11/407

G11C 11/401

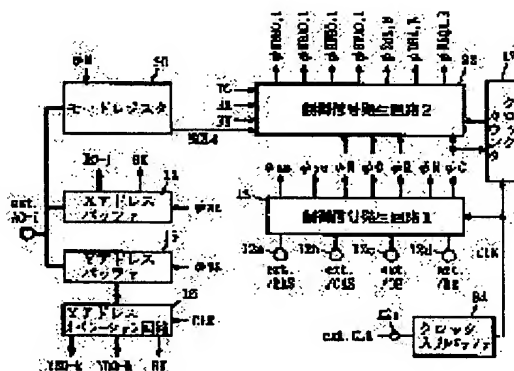
(21)Application number : 09-139715 (71)Applicant : MITSUBISHI ELECTRIC CORP
MITSUBISHI DENKI ENG KK(22)Date of filing : 29.05.1997 (72)Inventor : SATO NOBUYUKI
IWAMOTO HISASHI

(54) SYNCHRONOUS TYPE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a semiconductor memory device which is ready for any mode of the pipeline mode and prefetch mode with only one chip.

SOLUTION: The control signal generation sequence generated from a control signal generating circuit 32 is set to any mode of the pipeline mode and prefetch mode depending on the column address strobe CAS latency instructing signal MCL4 stored in a mode register 30. This mode switching circuit switches only the reset timing of write buffer depending on the CAS latency. Therefore, the internal data write mode can be switched easily depending on the operation environment, thereby the device becoming ready for a plurality of data write modes with only one chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against

examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-334659

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁹

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S

11/401

3 6 2 C

3 6 2 H

審査請求 未請求 請求項の数6 O L (全 36 頁)

(21)出願番号 特願平9-139715

(22)出願日 平成9年(1997)5月29日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 591036457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72)発明者 佐藤 伸幸

東京都千代田区大手町二丁目6番2号 三

菱電機エンジニアリング株式会社内

(72)発明者 岩本 久

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

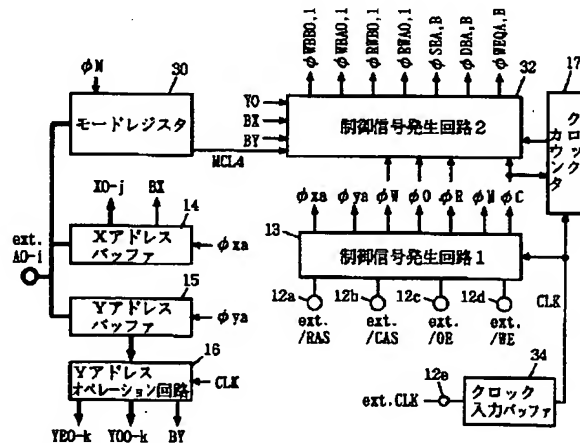
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 同期型半導体記憶装置

(57)【要約】

【課題】 1つのチップでパイプラインモードおよびプリフェッチモードいずれにも対応することのできる同期型半導体記憶装置を実現する。

【解決手段】 モードレジスタ(30)に格納されたC A Sレイテンシ4指示信号M C L 4に従って、制御信号発生回路(32)から発生される制御信号発生シーケンスをパイプラインモードおよびプリフェッチモードのいずれかに設定する。このモード切換回路は、単にライトバッファのリセットタイミングをC A Sレイテンシに従って切替える。したがって、容易に、動作環境に応じて内部データ書込モードを切替えることができ、1つのチップで、複数のデータ書込モードに対応することのできる同期型半導体記憶装置を実現することができる。



【特許請求の範囲】

【請求項1】 外部から与えられる所定の幅を有する外部クロック信号に同期して動作する同期型半導体記憶装置であって、

複数のメモリセルを有するメモリアレイ、

前記外部クロック信号を受け、前記外部クロック信号に同期しかつデータ書込サイクルを規定する内部クロック信号を発生する内部クロック発生手段、およびデータ書込時、前記メモリアレイの選択メモリセルへ前記内部クロック信号に同期してデータを書込むためのデータ書込手段を備え、前記データ書込手段は、前記内部クロック信号の各サイクルごとに異なるメモリセルへ異なるデータを書込むバイラインモードと前記内部クロック信号の複数サイクルを単位として複数のメモリセルへそれぞれ異なるデータを書込むプリフェッチモードで動作可能であり、

前記データ書込手段の動作モードを設定するデータを格納するためのモードレジスタ、および前記モードレジスタの格納データに従って、前記データ書込手段の動作モードを前記バイラインモードおよび前記プリフェッチモードの一方に設定するモード設定手段を備える、同期型半導体記憶装置。

【請求項2】 前記モードレジスタは、データ読出指示が与えられてから有効データが出力されるまでに要する前記外部クロック信号のサイクル数を示すデータを格納する、請求項1記載の同期型半導体記憶装置。

【請求項3】 前記モードレジスタは、前記外部クロック信号の一方方向の変化に同期してデータの入出力を行なうシングルレートモードと前記外部クロック信号の1サイクルでデータの入出力を2回行なうダブルレートモードの一方を示す動作モード設定データを格納し、

前記内部クロック発生手段は前記動作モード設定データに従って活性化され前記外部クロック信号の周波数を2逡倍する手段を含む、請求項1記載の同期型半導体記憶装置。

【請求項4】 前記内部クロック発生手段からの内部クロック信号の前記複数サイクルごとに、メモリセルアレイから複数のメモリセルを同時に選択して前記書込手段にこれらの複数の選択メモリセルを同時に結合する手段をさらに備える、請求項1から3のいずれかに記載の同期型半導体記憶装置。

【請求項5】 前記データ書込手段は、前記バイラインモード時巡回的に順次活性化され、かつ前記プリフェッチモード時前記内部クロック信号の前記複数サイクルを単位として順次活性化されかつ前記複数サイクル内の1サイクル内ですべてが同時に活性状態とされかつ前記複数サイクルにおいて同時に非活性状態へ駆動される複数のデータ書込バッファを含み、前記データ書込バッファは、活性化時書込データを選択メモリセルへ伝達する、請求項4記載の同期型半導体記憶装置。

【請求項6】 前記データ書込バッファ各々に対応して設けられ、外部からの書込データを受け前記内部クロック信号の各サイクルごとに順次活性化されて与えられた書込データを保持する複数の書込レジスタ手段をさらに含む、請求項5記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は外部から周期的に与えられるクロック信号に同期して外部信号の取込を行なう同期型半導体記憶装置に関し、特に、ランダムにアクセス可能な同期型ダイナミック・ランダム・アクセス・メモリ（SDRAM）のデータ書込部の構成に関する。

【0002】

【従来の技術】処理システムにおいて、主記憶として用いられるダイナミック・ランダム・アクセス・メモリ（DRAM）は高速化されてきているものの、その動作速度は依然マイクロプロセッサ（MPU）の動作速度に追従することができない。このため、マイクロプロセッサの待ち時間が長くなり、高速処理を実現することができず、DRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下するということがよく言われる。このDRAMとマイクロプロセッサの動作速度の差を解消するために、クロック信号に同期して動作するクロック同期型半導体記憶装置が近年実現されており、高速マイクロプロセッサのための主記憶として、SDRAMが用いられるようになってきている。

【0003】このSDRAMにおいては、たとえばシステムクロックであるクロック信号に同期して外部信号であるアドレス信号および制御信号の取込およびデータの入出力が行なわれる。クロック信号に同期して外部信号を取込むため、これらの外部信号のスキューに対するマージンを考慮する必要がなく、高速で内部動作を開始することができる。また、データの入出力がクロック信号に同期して行なわれるため、データのアクセス速度はクロック信号と同様となり、高速データ転送が可能となる。

【0004】このSDRAMにおいては、高速でアクセスするために、クロック信号に同期して連続したたとえば8ビット（1つのデータ入出力端子について）の連続ビットにアクセスすることが行なわれる。

【0005】図37は、SDRAMのデータ読出時の動作を示すタイミングチャート図である。このSDRAMにおいては、動作モードは、外部クロック信号extCLKの立ち上がりエッジにおける外部制御信号/RAS、/CASおよび/WEの状態の組合せにより決定される。この外部制御信号の状態の組合せは、通常、コマンドと呼ばれる。信号/RASはロウアドレスストローブ信号であり、信号/CASは、コラムアドレスストロー

ブ信号であり、信号/WEは、ライトイネーブル信号である。

【0006】図37において、外部クロック信号ext CLKのクロックサイクル（以下、単にクロックサイクルと称す）#1において、外部クロック信号ext CLKの立上がりエッジで、ロウアドレスストローブ信号/RASをLレベルに設定しかつコラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEをともにHレベルに設定する。この信号/RAS、/CASおよび/WEの状態の組合せは、「アクティブコマンド」と呼ばれ、SDRAMにおけるメモリサイクル開始が指令される。このアクティブコマンドが与えられると、そのときに与えられているアドレス信号Addをロウアドレス信号Xaとして取込み、内部で行選択動作が行なわれる。このアクティブコマンドが与えられてから、通常標準DRAMにおいて呼ばれるRAS-CAS遅延時間tRCDが経過すると、列選択のためのコマンドが与えられる。すなわち、クロックサイクル#4において、外部クロック信号ext CLKの立上がりエッジで、ロウアドレスストローブ信号/RASおよびライトイネーブル信号/WEをHレベルに設定しかつコラムアドレスストローブ信号/CASをLレベルに設定する。この信号/RAS、/CASおよび/WEの状態の組合せは、「リードコマンド」と呼ばれ、列選択とともに、データ読出動作が指令される。このリードコマンドが与えられると、そのときのアドレス信号Addがコラムアドレス信号Ybとして取込まれ、列選択動作が行なわれる。選択されたメモリセルデータがデータを出力する出力回路に到達するまでにある時間が必要とされる。このある時間が経過すると、クロックサイクル#7において、外部クロック信号ext CLKの立上がりエッジで、最初のデータq0が確定状態となる。以降、クロックサイクル#8～#14それぞれにおいて外部クロック信号ext CLKの立上がりエッジで読出データq1～q7がそれぞれ確定状態となる。

【0007】このデータq0～q7のアドレスは、コラムアドレス信号Ybを先頭アドレスとして、SDRAM内部で自動的に発生される（バーストアドレスと呼ばれる）。リードコマンドが与えられてから最初に有効データが出力されるまでの外部クロック信号ext CLKのサイクル数は、CASレイテンシと呼ばれる。図37においては、CASレイテンシが3である。

【0008】また、1つのリードコマンドが与えられたときに連続して読出されるデータのビット数（1つのデータ入出力端子について）は、バースト長と呼ばれる。図37においては、バースト長が8の場合のデータ読出シーケンスが示される。このCASレイテンシおよびバースト長は、SDRAMにおいては、モードレジスタの設定データにより、変更することが可能である。

【0009】図38は、SDRAMのデータ書込シーク

ンスを示す図である。以下、図38を参照してデータ書込動作について説明する。

【0010】クロックサイクル#1において、外部クロック信号ext CLKの立上がりエッジで、信号/RASをLレベルに設定し、信号/CASおよび/WEをともにHレベルに設定する。これにより、アクティブコマンドが与えられ、そのときのアドレス信号Addがロウアドレス信号Xcとして取込まれ、内部で行選択動作が行なわれる。クロックサイクル#4において、外部クロック信号ext CLKの立上がりエッジにおいて、ロウアドレスストローブ信号/RASをHレベルに設定しかつコラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEをともにLレベルに設定する。この信号/RAS、/CASおよび/WEの状態の組合せは、「ライトコマンド」と呼ばれ、列選択とともにデータ書込が指示される。このライトコマンドが与えられると、そのときのアドレス信号Addがコラムアドレス信号Ydとして書込まれ、内部で列選択動作が行なわれる。

【0011】データ書込時には、CASレイテンシは必要ではなく、このクロックサイクル#4から外部書込データの取込が行なわれる。すなわち、ライトコマンドが与えられたクロックサイクル#4において、外部クロック信号ext CLKの立上がりエッジに同期して、データd0が取込まれ、以降クロックサイクル#5～#11それぞれにおいて、外部クロック信号ext CLKの立上がりエッジにおいて与えられた書込データd1～d7が順次取込まれる。これらのデータd0～d7は、それぞれ内部で所定のシーケンスで選択メモリセルに書込まれる。

【0012】このデータ書込時には、ライトコマンドが与えられたクロックサイクルからデータの取込が行なわれる。実際の選択メモリセルへの書込は、後に説明するが、少し遅れて行なわれる（入力バッファ段から選択メモリセルまでの書込経路においてデータ伝達に時間を要する）。この図37および図38に示すように、データの書込/読出は、外部クロック信号ext CLKに同期して行なわれており、したがってマイクロプロセッサの動作速度を決定するたとえばシステムクロックに同期してデータの入出力を行なうことができ、高速アクセスが可能となる。

【0013】SDRAMにおいて、内部データの転送は、クロック信号（外部クロック信号から生成される内部クロック信号）に同期して行なわれる。このSDRAMを実現するためのアーキテクチャとしては、2ビットプリフェッチ方式およびパイプライン方式が知られている。以下にこれらの方式について説明する。

【0014】図39は、2ビットプリフェッチ方式のSDRAMの1つのデータ入出力端子に関連する部分の構成を概略的に示す図である。この図39に示す構成が、

、各データ入出力端子に対応して設けられる。

【0015】図39において、SDRAMは、各々が、行列状に配列される複数のメモリセルを有するメモリアレイ1aa、1ab、1baおよび1bbを含む。このSDRAMは、2つのバンクを有し、メモリアレイ1aaおよび1abがバンクAを構成し、メモリアレイ1baおよび1bbがバンクBを構成する。このバンクAおよびBそれぞれにおいて、メモリアレイ1aaがサブバンクA0を構成し、メモリアレイ1abが、サブバンクA1を構成し、メモリアレイ1baが、サブバンクB0を構成し、メモリアレイ1bbがサブバンクB1を構成する。2ビットプリフェッチ方式においては、このSDRAMは、2バンクSDRAMとして機能する。バンクAおよびBは、それぞれ互いに独立に活性／非活性状態へ駆動することができる。バンクの指定は、各コマンドと同時に与えられるバンクアドレスにより行なわれる。

【0016】メモリアレイ1aaに対し、バンクアドレス信号BXの活性化時活性化され、ロウアドレス信号X0-Xj (X0-j) をデコードし、メモリアレイ1aaのアドレス指定された行を選択状態へ駆動するXデコーダ群2aaと、センスアンプ活性化信号φSAAの活性化時活性化され、メモリアレイ1aaの選択行に接続されるメモリセルデータの検知、増幅およびラッチを行なうセンスアンプ群3aaと、バンクアドレス信号BYの活性化時活性化され、コラムアドレス信号YE0-YEk (YE0-k) をデコードし、メモリアレイ1aaのアドレス指定された列を選択するYデコーダ群4aaが設けられる。このYデコーダ群4aaにより選択された列上のメモリセルは、内部データバス5aaに結合される。バンクアドレス信号BXは、アクティブコマンドまたはプリチャージへの復帰を指示するプリチャージコマンドと同時に与えられるバンクアドレス信号であり、またバンクアドレス信号BYは、リードコマンドまたはライトコマンドと同時に与えられるバンクアドレス信号である。

【0017】メモリアレイ1abに対しては、バンクアドレス信号BXの活性化時活性化され、ロウアドレス信号X0-Xj をデコードし、メモリアレイ1abのアドレス指定された行（ワード線）を選択状態へ駆動するXデコーダ群2abと、センスアンプ活性化信号φSAAの活性化時活性化され、メモリアレイ1abの選択行のメモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ群3abと、バンクアドレス信号BYの活性化時活性化され、コラムアドレス信号Y00-YOk をデコードし、メモリアレイ1abのアドレス指定された列を選択するYデコーダ群4abが設けられる。Yデコーダ群4abにより選択された列上のメモリセルは、内部データバス5abに結合される。

【0018】メモリアレイ1baに対しては、バンクアドレス信号／BXの活性化時活性化され、アドレス信号

X0-Xj をデコードし、メモリアレイ1baのアドレス指定された行を選択状態へ駆動するXデコーダ群2baと、センスアンプ活性化信号φSABの活性化時活性化され、メモリアレイ1baの選択行に接続されるメモリデータの検知、増幅およびラッチを行なうセンスアンプ群3baと、バンクアドレス信号／BYの活性化時活性化され、メモリアレイ1baのアドレス指定された列を選択するYデコーダ群4baが設けられる。バンクアドレス信号／BXは、バンクアドレス信号BXと相補な信号であり、またバンクアドレス信号／BYは、バンクアドレス信号BYと相補な信号である。メモリアレイ1baのYデコーダ群4baにより選択された列上のメモリセルは、内部データバス5baに結合される。

【0019】メモリアレイ1bbに対し、バンクアドレス信号／BXの活性化時活性化され、ロウアドレス信号X0-Xj をデコードし、メモリアレイ1bbのアドレス指定された行を選択状態へ駆動するXデコーダ群2bbと、センスアンプ活性化信号φSABの活性化時活性化され、メモリアレイ1bbの選択行に接続されるメモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ群3bbと、バンクアドレス信号／BYの活性化時活性化され、コラムアドレス信号Y00-YOk をデコードし、メモリアレイ1bbのアドレス指定された列を選択するYデコーダ群4bbが設けられる。メモリアレイ1bbの、Yデコーダ群4bbにより選択された列上のメモリセルは内部データバス5bbに結合される。

【0020】ここで、Xデコーダ群、センスアンプ群、およびYデコーダ群として示しているのは、Xデコーダ群は、各行に対応して配置されるXデコーダを備え、センスアンプ群は、対応のメモリアレイの各列に対応して設けられるセンスアンプを有し、Yデコーダ群は、各列に対応して設けられるYデコーダを含むためである。

【0021】メモリアレイ1aaおよび1abにおいてバンクアドレス信号BXおよびBYに従って同時にメモリセル選択動作が行なわれ、一方、メモリアレイ1baおよび1bbでバンクアドレス信号／BXおよび／BYに従って同時に選択動作が行なわれる。

【0022】メモリアレイ1aaおよび1abにデータを書込むために、データ入出力端子6に結合され、入力バッファ活性化信号φDBAの活性化時活性化され、このデータ入出力端子6から与えられたデータを取込む入力バッファ7aと、選択信号φSEAに従って入力バッファ7aから与えられた書込データの転送経路を切替えるセレクト8aと、メモリアレイ1aaに対して設けられ、レジスタ活性化信号φRWA0の活性化にตอบสนองしてセレクト8aから与えられたデータを格納するライト用レジスタ9aaと、メモリアレイ1abに対して設けられ、レジスタ活性化信号φRWA1の活性化時セレクト8aから与えられたデータを取込みかつラッチするライ

ト用レジスタ9abと、メモリアレイ1aaに対して設けられ、ライトバッファ活性化信号φWBA0の活性化時活性化され、ライト用レジスタ9aaからの書込データを増幅して内部データバス線5aaへ伝達するライトバッファ10aaと、メモリアレイ1abに対して設けられ、ライトバッファ活性化信号φWBA1の活性化時活性化され、ライト用レジスタ9abの格納データを増幅して内部データバス線5abに伝達するライトバッファ10abが設けられる。内部データバス5aaおよび5abには、イコライズ指示信号φWEQAの活性化時活性化され、これらの内部データバス5aaおよび5abを所定電位レベルに設定するためのイコライズ回路11aが設けられる。

【0023】メモリアレイ1baおよび1bbに対して、同様、データ入出力端子6に結合され、入力バッファ活性化信号φDBBの活性化時、このデータ入出力端子6からのデータを順次取込み内部書込データを生成する入力バッファ7bと、選択信号φSABに従ってこの入力バッファ7bからのデータ転送経路を切換えるセクタ8bと、レジスタ活性化信号φRWB0およびφRWB1に従ってセクタ8bから転送されたデータをそれぞれ格納するライト用レジスタ9baおよび9bbと、ライトバッファ活性化信号φWBB0およびφWBB1の活性化時ライト用レジスタ9baおよび9bbの格納データを増幅して内部データバス5baおよび5bbへそれぞれ伝達するライトバッファ10baおよび10bbが設けられる。内部データバス5baおよび5bbには、またイコライズ指示信号φWEQBの活性化時活性化され、内部データバス5baおよび5bbを所定電位に設定するイコライズ回路11bが設けられる。

【0024】図40は、図39に示す各内部信号を発生する周辺回路の構成を概略的に示す図である。図40において、周辺回路は、入力端子12a、12b、12cおよび12dにそれぞれ与えられる外部制御信号ext/RAS、ext/CAS、ext/OEおよびext/WEをクロック信号CLKの立上がり同期して取込みかつその状態を判定して内部制御信号φxa、φya、φW、φO、φRおよびφCを生成する制御信号発生回路13を含む。信号ext/OEは、出力カインープル信号であり、この信号ext/OEの活性化時、出力バッファが作動状態とされ、この出力カインープル信号ext/OEの非活性化時、出力バッファ（図示せず）が出力ハイインピーダンス状態とされる。クロック信号CLKは、外部クロック信号extCLKに従って内部で生成されるクロック信号である。

【0025】信号φxaは、アクティブコマンドが与えられたときに活性化され、ロウアドレス信号の取込を指示する。信号φyaは、リードコマンドまたはライトコマンドが与えられたときに活性化され、コラムアドレス信号の取込を指示する。信号φWは、ライトコマンドが

与えられたときに活性化され、データ書込を指示する。信号φOは、リードコマンドが与えられたときに活性化され、データ読出を指示する。信号φRは、アクティブコマンドが与えられたときに活性化され、行選択に関連する部分の回路を活性化する。信号φCは、リードコマンドまたはライトコマンドが与えられたときに活性化され、列選択およびデータ入出力に関連する部分の回路（コラム系回路）を活性化する。

【0026】周辺回路は、さらに、ロウアドレス取込指示信号φxaの活性化にตอบสนองして外部アドレス信号extA0-Ai（A0-i）を取込み内部ロウアドレス信号X0-Xj（X0-j）およびバンクアドレス信号BXを生成するXアドレスバッファ14と、コラムアドレス取込指示信号φyaの活性化時活性化され、外部アドレス信号extA0-iを取込み内部コラムアドレス信号を発生するYアドレスバッファ15と、このYアドレスバッファ15から与えられる内部コラムアドレス信号を先頭アドレスとしてクロック信号CLKに同期して所定のシーケンスでこのアドレス信号を変化させて偶数コラムアドレス信号YE0-YEk（YE0-k）および奇数コラムアドレス信号YOO-YOk（YOO-k）およびバンクアドレス信号BYを発生するYアドレスオペレーション回路16を含む。このYアドレスオペレーション回路16は、バーストアドレスカウンタを含み、2クロックサイクルごとにコラムアドレス信号を変化させる。

【0027】周辺回路は、さらに、コラム系活性化信号φCの活性化に従って内部クロック信号CLKをカウントし、そのカウント値に従って所定のタイミングでカウントアップ信号を生成するクロックカウンタ17と、このクロックカウンタ17のカウントアップ信号と、バンクアドレス信号BXおよびBYと、コラムアドレス信号の最下位ビットY0を受け、各種内部制御信号φWBB0、φWBB1、φWBA0、φWBA1、φRWB0、φRWB1、φRWA0、φRWA1、φSEA、φSEB、φDBA、φDBB、φWEQA、φWEQBを生成する制御信号発生回路18を含む。バンクアドレス信号BXおよびBYに従って、指定されたバンクに対する制御信号が活性状態とされる。最下位コラムアドレス信号ビットY0は、1つのバンクに含まれる2つのメモリアレイのうちいずれに先にアクセスするかを示すために用いられる。クロックカウンタ17は、CASレイテンシおよびバースト長をカウントするカウンタを含み、指定された動作モードに従って所定のタイミングでカウントアップ信号を生成する。次に、この図39および図40に示すSDRAMのデータ書込動作について図41に示すタイミングチャート図を参照して説明する。

【0028】図41において、クロックサイクル#0以前において、既にアクティブコマンドが与えられており、図39に示すメモリアレイ1aaおよび1abにお

いて、ある行が選択状態へ駆動されている。クロックサイクル#0においてコラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEがともにLレベルに設定され、ライトコマンドが与えられる(ロウアドレスストロブ信号/RASはHレベル)。このライトコマンドが与えられたとき、バンクアドレスBAが、バンクAを指定しており、バンクアドレス信号BXが活性状態とされ、またアドレス信号(Address)の最下位ビットY0が0であり、メモリアレイ1aaが指定されたとする。ライトコマンドが与えられたとき、このライトコマンドに従って図40に示す制御信号発生回路13からのコラム系活性化信号φCが活性状態へ駆動され、クロックカウンタ17が起動される。また、Yアドレスバッファ15が、コラムアドレス取込指示信号φyaに従って外部からのコラムアドレス信号を取込み、内部アドレス信号YE0-YEkおよびY00-YOkがYアドレスオペレーション回路16から生成される。制御信号発生回路18が、このバンクアドレス信号BYおよび最下位アドレスビットY0に従って、メモリアレイ1aaおよび1abで構成されるバンクAに対する制御信号を順次活性化する。

【0029】メモリアレイ1aaおよび1abに対しては、Yデコーダ群4aaおよび4abが活性化され、与えられた内部コラムアドレス信号YE0-YEkおよびY00-YOkをそれぞれデコードし、対応の列を選択し、選択列を内部データバス5aaおよび5abに接続する。

【0030】また入力バッファ7aが活性化され、外部から与えられる書込データD0が取込まれる。セレクト8aは、最下位アドレス信号ビットY0に従って、まずライト用レジスタ9aaへ内部書込データを格納する。したがって、最初のクロックサイクル#0に与えられたデータD0は、ライト用レジスタ9aaに格納される。次のクロックサイクル#1において与えられた書込データD1は、ライト用レジスタ9abへ格納される。

【0031】クロックサイクル#0からクロックサイクル#1において、ライトバッファ活性化信号φWBA0が活性化され、ライトバッファ10aaがこのライト用レジスタ9aaに格納されたデータに従って内部データバス5aa上に書込データを伝達する。一方、クロックサイクル#1においては、ライトバッファ10abがライトバッファ活性化信号φWBA1に従って活性化され、ライト用レジスタ9abに格納されたデータに従って内部データバス5abを駆動する。2ビットのデータがメモリアレイ1aaおよび1abに書込まれた後、ライトバッファ10aaおよび10abは非活性状態とされ、内部データバス5aaおよび5abのイコライズがイコライズ回路11aにより行なわれる。

【0032】次いで、クロックサイクル#2において、図40に示すYアドレスオペレーション回路16からの

コラムアドレス信号YE0-YEkおよびY00-YOkの値が変化し、別の列が選択される。このクロックサイクル#2および#3においてそれぞれ与えられた外部書込データD2およびD3は選択信号φSEAに従ってそれぞれライト用レジスタ9aaおよび9abに格納される。次いで、ライトバッファ10aaがライトバッファ活性化信号φWBA0の活性化にตอบสนองして活性化され、内部データバス5aaに書込データを伝達し、次いでクロックサイクル#3において、ライトバッファ10abがライトバッファ活性化信号φWBA1の活性化にตอบสนองして活性化され、内部データバス5abに書込データを伝達する。バースト長が4の場合、4つのデータD0~D3の書込が完了すると、クロックカウンタ17からのカウントアップ信号に従ってデータ書込が停止される。

【0033】この2ビットプリフェッチ方式のデータ書込においては、クロックサイクル#1および#3それぞれにおいて、ライトバッファ10aaおよび10abがともに同時に活性状態にあり、2ビットデータが同時に書込まれている。Yデコーダ群4aaおよび4abへは、同じコラムアドレス信号が与えられ、同時に列選択動作を行なっている。したがって、列選択からデータ書込に、2クロックサイクルを利用することができる。メモリアレイ1abにおいては、クロックサイクル#1において外部から与えられたデータD1が、そのクロックサイクル#1においてメモリアレイ1abの選択列上に伝達される。しかしながら、列選択動作は、クロックサイクル#0から行なわれており、列選択動作から実際のデータ書込までに、2クロックサイクルを利用することができる。したがって、外部クロック信号extCLKの周波数が高く高速動作の場合においても、余裕をもってデータ書込を行なうことができる。

【0034】図42は、パイプライン方式のSDRAMのデータ書込部の構成を示す図である。図42においても、1ビットのデータ書込に関連する部分の構成が示される。図42において、このSDRAMは、図39に示すSDRAMと同様、4つのメモリアレイ1aa、1ab、1baおよび1bbを含む。メモリアレイ1aaおよび1abがバンクAを構成し、メモリアレイ1baおよび1bbがバンクBを構成する。また、図39に示す構成と同様、メモリアレイ1aa、1ab、1baおよび1bbそれぞれに対し、Xデコーダ群2aa、2ab、2ba、2bbと、センスアンプ群3aa、3ab、3baおよび3bbと、Yデコーダ群4aa、4ab、4baおよび4bbとが設けられる。これらの構成は、先の図39に示す2ビットプリフェッチ方式のSDRAMの構成と同じである。

【0035】バンクAに対しデータを書込むために、データ入出力端子6に結合され、入力バッファ活性化信号φDBAの活性化にตอบสนองして与えられたデータを取込む

入力バッファ7aと、レジスタ活性化信号φRWAの活性化にตอบสนองして入力バッファ7aから与えられたデータを取込みラッチするライト用レジスタ9aと、ライトバッファ活性化信号φWBAの活性化にตอบสนองしてこのライト用レジスタ9aから与えられたデータを増幅して内部データバス5a上に伝達するライトバッファ10aが設けられる。内部データバス5aは、メモリアレイ1aおよび1abに共通に設けられる。

【0036】バンクBに対しても、データ入出力端子6に結合され、入力バッファ活性化信号φDBAの活性化にตอบสนองして与えられたデータを取込む入力バッファ7bと、レジスタ活性化信号φRWBの活性化にตอบสนองして入力バッファ7bから与えられたデータを取込みラッチするライト用レジスタ9bと、ライトバッファ活性化信号φWBBの活性化にตอบสนองして、ライト用レジスタ9bに格納されたデータを増幅して内部データバス5bに伝達するライトバッファ10bが設けられる。この内部データバス5bは、メモリアレイ1baおよび1bbに共通に設けられる。

【0037】図43は、図42に示すパイプライン方式SDRAMの内部信号発生部の構成を概略的に示す図である。この図43に示す内部制御信号発生回路は、図40に示す内部制御信号発生回路と、内部コラムアドレス信号YE0-YEkおよびY00-YOkおよびバンクアドレス信号BYを生成するYアドレスオペレーション回路26と、内部データ書込転送制御信号を発生する制御信号発生回路28の構成が異なる。Yアドレスオペレーション回路26は、各クロックサイクルごとに交互に偶数コラムアドレス信号YE0-YEkおよび奇数コラムアドレス信号Y00-YOkを活性状態とする。制御信号発生回路28は、バンクアドレス信号BXおよびBYに従って、選択されたバンクに対して設けられた制御信号を所定のシーケンスで活性状態とする。データ書込を行なうメモセルの選択は、Yアドレスオペレーション回路26からの内部コラムアドレス信号YE0-YEkおよびY00-YOkにより行なわれる。内部コラムアドレス信号は各クロックサイクルごとに交互に活性状態とされる。次に、この図42および図43に示すパイプライン方式SDRAMのデータ書込動作について、図44に示すタイミングチャート図を参照して説明する。

【0038】クロックサイクル#1の外部クロック信号extCLKの立上がりエッジでコラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEがLレベルに設定され、ライトコマンドが与えられる。このライトコマンドと同時に、バンクアドレス信号BAが与えられ、メモリバンクA（メモリアレイ1aおよび1ab）が指定される。このときまた外部からのアドレス信号Addressが、偶数アドレス（e）に指定される。入力バッファ7aは、入力バッファ活性化信号φDBAの活性化に従って活性化され、データ入出力端子

6に与えられたデータD0を取込みライト用レジスタ9aに転送する。ライト用レジスタ9aは、レジスタ活性化信号φRWAの活性化にตอบสนองして与えられたデータを取込み、非活性化にตอบสนองしてラッチ状態となる。このライト用レジスタ9aがラッチ状態となると、次いでライトバッファ活性化信号φWBAが活性状態とされ、ライトバッファ10aがこのライト用レジスタ9aのラッチデータを増幅して内部データバス5aに伝達する。

【0039】メモリアレイ1aにおいては、Yアドレスオペレーション回路26からの内部コラムアドレス信号YE0-YEkに従ってYデコーダ群4aが列選択動作を行ない、選択列を内部データバス5aに結合している。これにより、データD0がメモリアレイ1aの選択メモセルに書込まれる。このデータ書込動作と並行して、次のクロックサイクル#2において与えられたデータD1が、入力バッファ7aを介してライト用レジスタ9aに転送され取込まれる。このライト用レジスタ9aはラッチ状態となっておらず、ライトバッファ10aへはまだこの取込んだデータを与えていない。

【0040】クロックサイクル#2においては、Yアドレスオペレーション回路26からの内部コラムアドレス信号Y00-YOkに従って、メモリアレイ1abにおいてYデコーダ群4abにより列選択動作が行なわれて選択列が内部データバス5aに結合される。

【0041】一方、ライト用レジスタ9aがラッチ状態となると、ライトバッファ10aが再びライトバッファ活性化信号φWBAの活性化にตอบสนองして活性化され、内部データバス5a上に書込データを伝達し、メモリアレイ1abの選択列（CSLで示す）にデータを書込む。これにより、メモリアレイ1abにデータD1が書込まれる。

【0042】次のクロックサイクル#3および#4においてそれぞれ与えられたデータD2およびD3が入力バッファ7aおよびライト用レジスタ9aおよびライトバッファ10aを介してメモリアレイ1aおよび1abの選択列へ順次書込まれる。

【0043】入力バッファ7aとライトバッファ10aの間にデータをラッチするためのライト用レジスタ9aを設ける。ライトバッファ10aによるメモリアレイへのデータ書込と並行して、入力バッファ7aからライト用レジスタ9aへ書込データを転送することができる。したがって、入力バッファ7aからライトバッファ10aのデータ転送時間が長い場合においても、ライトバッファによるデータ書込時間を利用して書込データ転送を行なうことができ、実効的に、データ転送時間をこのデータ書込時間で隠すことができ、高速データ転送が可能となる。

【0044】しかしながら、このパイプライン方式のSDRAMにおいては、各クロックサイクルごとにメモリアレイ1aおよび1abにおいて交互に列選択動作を

行なう必要がある(バンクAが選択された場合であり、バンクBが指定された場合には、メモリアレイ1b aおよび1b bが交互に選択される)。したがって、列選択から選択列へのデータ書込までには、1クロックサイクルしか利用することができず、外部クロック信号ext CLKが高速の場合には、余裕をもってデータを書込むことが困難となり、2ビットプリフェッチ方式と比べて、動作周波数を高速化することはできないという欠点はある。

【0045】

【発明が解決しようとする課題】パイプライン方式のSDRAMは、内部でデータ転送をパイプライン的に行なっており、クロックサイクルを有効に利用して、データ書込を行なっている。しかしながら、このパイプライン方式SDRAMにおいては、各クロックサイクルごとに列選択を行ない、選択列をライトバッファに結合する必要がある、クロックサイクルが短い場合、選択列をライトバッファへ接続する時間的余裕がなくなり、このため高速動作には適していない(1ビットデータ書込完了後、内部データバス線(ローカルIOバス)のイコライズが行なわれる)。しかしながら、このパイプライン方式SDRAMにおいては、各クロックサイクルにおいて一方のメモリセル列が選択されるだけであり、またライトバッファは1つ(1つのデータ入出力端子当り)が活性化されるだけであり、消費電力は小さいという利点を有している。したがって、このパイプライン方式SDRAMは、たとえば66MHzのような低速のクロック信号CLKを用いるシステムに用いられる。

【0046】一方、プリフェッチ方式SDRAMは、2ビットをプリフェッチし、2クロックサイクルで選択列へメモリセルデータを書込んでいる。したがって、列選択から選択列をライトバッファに接続するまでに、2クロックサイクルを利用することができ、クロックサイクルが短い場合においても余裕をもってデータの書込を行なうことができる。しかしながら、この2ビットプリフェッチ方式のSDRAMにおいては、2つのメモリアレイにおいて同時に列選択が行なわれまた2つのライトバッファが同時に活性化されるため、消費電流が大きくなる。したがって、この2ビットプリフェッチ方式SDRAMを低速クロックを用いるシステムに用いた場合クロックサイクルの期間が長く、このため、内部データバスを書込データに応じた電位レベルに駆動する期間が長くなり、消費電流が多くなる。したがって、この2ビットプリフェッチ方式SDRAMは、100MHzまたは200MHzのような高速動作するシステムにおいて用いられる。

【0047】パイプライン方式SDRAMおよび2ビットプリフェッチ方式SDRAMは、内部構成が異なっており、したがってそれぞれ別々のチップ構成とされる。この場合、メーカにとっては、製品の種類が増えること

になり、管理が煩雑となるという問題が生じる。

【0048】この問題を解決するために、たとえばISSCC96の予稿集において講演番号P23の「同期型ミラー遅延を有する2.5nsクロックアクセス250MHz256MビットSDRAM」のサエキ等の論文において、データビット幅に応じて、パイプライン方式および2ビットプリフェッチ方式をボンディングオプションで切替える構成が示されている。また、ボンディングパッドの切換により、2ビットプリフェッチ方式およびパイプライン書込方式を切替える構成は、特開平7-169263号公報においても示されている。

【0049】このようなボンディングオプションにより2ビットプリフェッチ方式およびパイプライン方式を択一的に設定する場合、チップ内部構成は同じとすることができ、1つのチップを、最終段階で、プリフェッチ方式SDRAMおよびパイプライン方式SDRAMに分けることができる。

【0050】しかしながら、この場合においても、ボンディングオプションでデータ転送方式が設定されているため、製品としてのSDRAMのデータ転送方式が2ビットプリフェッチ方式またはパイプライン方式のいずれかに固定される。したがってユーザは、使用システムに応じて、2ビットプリフェッチ方式SDRAMおよびパイプライン方式SDRAMの一方を選択することになる。しかしながら、現実の使用においてシステム仕様の変更などによりクロック速度を変更する必要性が生じた場合、SDRAMをその仕様変更に従ってすべて取替える必要性が生じ、仕様変更を容易に行なうことができないという問題が生じる。

【0051】また、システム仕様の変更等クロック速度の変更がない場合においても、ユーザは用いられるクロック速度に応じてSDRAMを使い分ける必要があり、ユーザにとって購入製品を正確に管理しなければならないという手間が生じる。また、たとえば低速版のパイプライン方式SDRAMを高速システムで用いた場合、正確に動作する処理システムを構築することができなくなる可能性が生じ、ユーザは、常に処理システム速度に応じて用いるべきSDRAMの品種を認識する必要があり、ユーザにとって使いやすさに欠けるという問題があった。

【0052】それゆえ、この発明の目的は、使用クロックに応じて内部データ転送モードを容易に調整することができるSDRAMを提供することである。この発明の他の目的は、ユーザが認識することなく、容易に用いられる動作環境に応じて内部データ転送モードが設定されるSDRAMを提供することである。

【0053】この発明のさらに他の目的は、ユーザフレンドリーであり、かつメーカにとっても管理の容易なSDRAMを提供することである。

【0054】

【課題を解決するための手段】この発明に係る同期型半導体記憶装置は、要約すれば、同期型半導体記憶装置の動作モードを指定するデータを格納するモードレジスタに格納されたデータに従って書込データ転送方式をパイプラインモードおよび複数ビットプリフェッチモードのいずれかに設定するものである。

【0055】すなわち、請求項1に係る同期型半導体記憶装置は、複数のメモリセルを有するメモリアレイと、外部からの外部クロック信号を受け、この外部クロック信号に同期しかつデータ書込サイクルを規定する内部クロック信号を発生する内部クロック発生手段と、データ書込時メモリアレイの選択メモリセルへ内部クロック信号に同期してデータを書込むためのデータ書込手段とを含む。このデータ書込手段は、内部クロック信号の各サイクルごとに異なるメモリセルへ異なるデータを書込むパイプラインモードと内部クロック信号の複数サイクルを単位として複数のメモリセルへ異なるデータを書込むプリフェッチモードで動作可能である。

【0056】請求項1に係る同期型半導体記憶装置は、さらに、この半導体記憶装置の動作速度に関連するデータを格納するモードレジスタと、モードレジスタの格納データに従ってデータ書込手段の動作モードをパイプラインモードおよびプリフェッチモードの一方に設定するモード設定手段を備える。

【0057】請求項2に係る同期型半導体記憶装置は、請求項1のモードレジスタが、データ読出指示が与えられてから有効データが出力されるまでに必要とされる外部クロック信号のサイクル数を示すレイテンシデータを格納する。

【0058】請求項3に係る同期型半導体記憶装置は、請求項1のモードレジスタが、データの入出力を外部クロック信号の一方方向の変化に同期して行なうシングルレートおよび外部クロック信号の1サイクルで2回行なうダブルレートの一方を示すデータ格納する。内部クロック発生手段は、外部クロック信号の周波数を2通倍する手段を含む。

【0059】請求項4に係る同期型半導体記憶装置は、請求項1から3のいずれかの装置が、さらに、内部クロック発生手段からの内部クロックの複数サイクルごとにメモリアレイから複数のメモリセルを同時に選択してデータ書込手段に選択メモリセルを結合する手段を備える。

【0060】請求項5に係る同期型半導体記憶装置は、請求項4のデータ書込手段が、パイプラインモード時は順次巡回的に活性化されかつプリフェッチモード時内部クロック信号の複数サイクルを単位として1サイクル内ですべての選択メモリセルへ順次活性化されかつ1サイクル内ですべてが同時に活性状態とされかつ非活性化への移行が同じとなる書込バッファを含む。この書込バッファが、書込データを選択メモリセルへ伝達する。

【0061】請求項6に係る同期型半導体記憶装置は、請求項5の装置が、さらに、データ書込バッファ各々に対応して設けられ、外部からの書込データを受けて内部クロック信号の各サイクルごとに順次活性化されて与えられた書込データを保持する複数の書込レジスタ手段を含む。

【0062】モードレジスタに格納された動作速度に関連するデータに従って、モード設定手段によりデータ書込手段の動作モードが設定される。この動作速度に関連するデータは、たとえばCASレイテンシデータまたはデータ入出力レートデータであり、ユーザは、使用時には必ずモードレジスタに設定する必要である。したがって、ユーザは、データ書込手段の動作モードを意識することなくこの同期型半導体記憶装置の動作速度に合わせてデータ書込手段を最適な動作モードで動作させることができる。これにより、ユーザは、データ書込手段の動作モードを意識することなく同期型半導体記憶装置を利用することができ、その動作速度に応じてデータ書込手段の動作モードを切替えるため、1種類のチップが必要とされるだけであり、製品管理が容易となる。

【0063】

【発明の実施の形態】

【実施の形態1】図1は、この発明の実施の形態1に従うSDRAMの1ビットのデータ書込に関連する部分の構成を概略的に示す図である。この図1に示す構成がデータ入出力端子それぞれに対応して設けられる。

【0064】図1において、SDRAMは、各々が行列状に配列される複数のダイナミック型メモリセルを有するメモリアレイ1aa、1ab、1ba、および1bbを含む。メモリアレイ1aaに対して、バンクアドレス信号BXの活性化時活性化され、内部ロウアドレス信号X0-Xj(X0-j)をデコードし、メモリアレイ1aaのアドレス指定された行(ワード線)を選択状態へ駆動するためのXデコード群2aaと、センスアンプ活性化信号φSAAの活性化にตอบสนองして活性化され、メモリアレイ1aaの選択行に接続されるメモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ群3aaと、バンクアドレス信号BYの活性化時活性化され、内部コラムアドレス信号YE0-YEk(YE0-k)をデコードし、メモリアレイ1aaのアドレス指定された列を選択するためのYデコード群4aaを含む。このメモリアレイ1aaにおいて選択された列上のメモリセルは、内部データバス5aaに結合される。Xデコード群2aaは、メモリアレイの各行(ワード線)に対応して設けられるXデコードを含み、センスアンプ群3aaは、メモリアレイ1aaの各列(ビット線対)に対応して設けられるセンスアンプを含み、Yデコード群4aaは、メモリアレイ1aaの各列に対応して設けられるYデコードを含む。この「群」の用語の意味については以下の説明においても同様である。

【0065】メモリアレイ1abに対して、バンクアドレス信号BXの活性化時活性化され、内部ロウアドレス信号X0-Xjをデコードし、メモリアレイ1abのアドレス指定された行を選択状態へ駆動するためのXデコーダ群2abと、センスアンプ活性化信号φSAAの活性化時活性化され、メモリアレイ1abの選択行に接続されるメモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ群3abと、アドレス信号BYの活性化時活性化され、メモリアレイ1abのアドレス指定された列を選択するためのYデコーダ群4abが設けられる。メモリアレイ1abのYデコーダ群4abにより選択された列上のメモリセルは内部データバス5abに結合される。内部データバス5abは、メモリアレイ1aに対して設けられた内部データバス5aaと別々に設けられる。

【0066】メモリアレイ1baに対して、バンクアドレス信号/BXの活性化時活性化され、内部ロウアドレス信号X0-Xjをデコードし、メモリアレイ1baのアドレス指定された行を選択状態へ駆動するためのXデコーダ群2baと、センスアンプ活性化信号φSABの活性化時活性化され、メモリアレイ1baの選択行に接続されるメモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ群3baと、バンクアドレス信号/BYの活性化時活性化され、内部コラムアドレス信号YE0-YEkをデコードし、メモリアレイ1baのアドレス指定された列を選択するためのYデコーダ群4baが設けられる。メモリアレイ1baのYデコーダ群4baにより選択された列上のメモリセルは内部データバス5baに結合される。

【0067】メモリアレイ1bbに対して、バンクアドレス信号/BXの活性化時活性化され、内部ロウアドレス信号X0-Xjをデコードし、メモリアレイ1bbのアドレス指定された行を選択状態へ駆動するためのXデコーダ群2bbと、センスアンプ活性化信号φSABの活性化にตอบสนองして活性化され、メモリアレイ1bbの選択行に接続されるメモリセルのデータの検知、増幅およびラッチを行なうセンスアンプ群3bbと、バンクアドレス信号/BYの活性化時活性化され、内部コラムアドレス信号Y00-YOkをデコードし、メモリアレイ1bbのアドレス指定された列を選択するためのYデコーダ群4bbが設けられる。メモリアレイ1bbのYデコーダ群4bbにより選択された列上のメモリセルは内部データバス5bbに結合される。この内部データバス5bbは、メモリアレイ1baに対して設けられた内部データバス5baと別々に設けられる。

【0068】メモリアレイ1aa、1ab、1ba、および1bbそれぞれにXデコーダ群およびYデコーダ群を設けることにより、各メモリアレイを互いに独立に選択状態へ駆動することができ、バンクを実現することができる。図1に示す構成においては、メモリアレイ1a

aおよび1abが、バンクアドレス信号BXおよびBYにより選択されるバンクAを構成し、一方メモリアレイ1baおよび1bbが、バンクアドレス信号/BXおよび/BYの活性化に従って活性状態へ駆動されるバンクBを構成する。メモリアレイ1aaがバンクAのサブバンクA0を構成し、メモリアレイ1abがバンクAのサブバンクA1を構成し、メモリアレイ1baがバンクBのサブバンクB0を構成し、メモリアレイ1bbが、バンクBのサブバンクB1を構成する。したがって、この図1に示すSDRAMは、最大4バンク構成を実現することができる。以下においては、バンクアドレス信号BXおよび/BXならびにBYおよび/BYによる2バンク構成のSDRAMについて説明する。

【0069】バンクAに対してデータを書込むために、データ入出力端子6に結合され、入力バッファ活性化信号φDBAの活性化時このデータ入出力端子6に与えられたデータDQiを書込み内部書込データを生成する入力バッファ7aと、選択信号φSEAに従って入力バッファ7aから与えられたデータの転送経路を切換えるセレクトラ8aと、レジスタ活性化信号φRWA0の活性化にตอบสนองしてセレクトラ8aから与えられたデータを取込みラッチするライト用レジスタ9aaと、レジスタ活性化信号φRWA1の活性化にตอบสนองしてセレクトラ8aから伝達されたデータを取込みラッチするライト用レジスタ9abと、ライトバッファ活性化信号φWBA0の活性化にตอบสนองしてライト用レジスタ9aaから与えられたデータを増幅して内部データバス5aaへ伝達するライトバッファ10aaと、ライトバッファ活性化信号φWBA1の活性化にตอบสนองして活性化され、ライト用レジスタ9abから与えられたデータを増幅する内部データバス5abに伝達するライトバッファ10abが設けられる。内部データバス5aaおよび5abには、イコライズ指示信号φWEQAの活性化時活性化され、内部データバス5aaおよび5abを所定の電位に設定するためのイコライズ回路11aが設けられる。また、内部データバス5baおよび5bbに対しても、イコライズ指示信号φWEQBの活性化時活性化され、内部データバス5baおよび5bbを所定電位に設定するためのイコライズ回路11bが設けられる。

【0070】この図1に示すSDRAMの構成は、先の図39に示す2ビットプリフェッチ方式のSDRAMの構成と同じである。書込データ転送を行なうための制御信号の発生シーケンスがデータ転送モードに応じて切換えられる。これにより、同一構成を用いてパイプライン方式SDRAMおよび2ビットプリフェッチ方式SDRAMを実現する。

【0071】図2は、図1に示すSDRAMの内部信号を発生する周辺回路の構成を概略的に示す図である。図2において、この周辺回路は、入力端子12a、12b、12c、および12dそれぞれに与えられる外部制

御信号 ext/RAS 、 ext/CAS 、 ext/OE 、および ext/WE を内部クロック信号 CLK の立上がり同期して取込みそれらの状態を判定し、指定されたコマンドに応じた内部制御信号を発生する制御信号発生回路13と、制御信号発生回路13からのロウアドレス取込指示信号 $\phi x a$ の活性化にตอบสนองして外部アドレス信号 $\text{extA}0\sim\text{Ai}$ ($A0\sim i$)を取込み内部ロウアドレス信号 $X0\sim Xj$ およびバンクアドレス信号 BX を発生するXアドレスバッファ14と、制御信号発生回路13からのコラムアドレス取込指示信号 $\phi y a$ の活性化にตอบสนองして外部アドレス信号 $\text{extA}0\sim\text{Ai}$ を取込み内部列アドレス信号を生成するYアドレスバッファ15と、内部クロック信号 CLK の立上がり同期して、このYアドレスバッファ15からの内部列アドレス信号を取込み内部コラムアドレス信号 $\text{YE}0\sim\text{YE}k$ および $\text{Y}00\sim\text{Y}0k$ およびバンクアドレス信号 BY を生成するYアドレスオペレーション回路16を含む。

【0072】Yアドレスオペレーション回路16は、その構成は後に説明するが、バーストアドレスカウンタを含み、Yアドレスバッファ15から与えられた内部コラムアドレス信号を先頭アドレスとして所定のシーケンスで2クロックサイクルごとに内部コラムアドレス信号 $\text{YE}0\sim\text{YE}k$ および $\text{Y}00\sim\text{Y}0k$ を変化させる。Xアドレスバッファ14およびYアドレスバッファ15は、図39に示す従来のSDRAMにおける構成と同じである。内部クロック信号 CLK は、クロック入力端子12eに与えられる外部クロック信号 extCLK を受けるクロック入力バッファ34から生成される。このクロック入力バッファ34は、外部クロック信号 extCLK の立上がり同期しかつ所定の時間幅を有するワンショットのパルス信号を生成して内部クロック信号 CLK として出力する。

【0073】この周辺回路はさらに、制御信号発生回路13からのモードレジスタセット指示信号 ϕM の活性化にตอบสนองして外部アドレス信号の所定ビットを取込みCASレイテンシデータおよびバースト長データ等を生成するモードレジスタ30を含む。このモードレジスタ30に格納されるCASレイテンシデータのうち、CASレイテンシ4を示す信号 $\text{MCL}4$ は、このSDRAMのデータ転送モード切替のために用いられる。

【0074】周辺回路は、さらに、制御信号発生回路13からのコラム系活性化信号 ϕC の活性化にตอบสนองして内部クロック信号 CLK をカウントし、所定のタイミングでカウントアップ信号を生成するクロックカウンタ17と、モードレジスタ30からのCASレイテンシ4指示信号 $\text{MCL}4$ とバンクアドレス信号 BX および BY と内部最下位コラムアドレス信号ビット $Y0$ に従って制御信号発生回路13から与えられる制御信号 ϕW 、 ϕO 、 ϕR および ϕC に従って各内部データ書込転送制御信号 $\phi WBB0$ 、 $\phi WBB1$ 、 $\phi WBA0$ 、 $\phi WBA1$ 、 ϕR

$WB0$ 、 $\phi RWB1$ 、 $\phi RWA0$ 、 $\phi RWA1$ 、 ϕSEB 、 ϕSEB 、 ϕDBA 、 ϕDBB 、 $\phi WEQA$ 、 $\phi WEQB$ を生成する制御信号発生回路32を含む。この制御信号発生回路32は、モードレジスタ30に格納されたCASレイテンシが4であるか否かを示すレイテンシ指示信号(フラグ) $\text{MCL}4$ に従って制御信号発生シーケンスを切替える。

【0075】制御信号発生回路13から発生される制御信号 ϕW 、 ϕO 、 ϕR および ϕC は、先の図39に示す制御信号発生回路13から発生される制御信号と同じである。すなわち、信号 ϕW は、ライトコマンドが与えられたときに活性状態とされる。信号 ϕO は、リードコマンドが与えられたときに活性状態とされ、信号 ϕR は、アクティブコマンドが与えられたときに活性状態とされ、プリチャージコマンドが与えられたときに非活性状態とされる。信号 ϕC は、リードコマンドまたはライトコマンドが与えられたときに、コラム系回路を活性化するために活性状態とされる。

【0076】図3は、モードレジスタ30への動作モード指定データ設定動作を示すタイミングチャート図である。図3において、外部クロック信号 extCLK の立上がりエッジにおいて、ロウアドレスストロブ信号/ RAS 、コラムアドレスストロブ信号/ CAS 、およびライトイネーブル信号/ WE をすべてLレベルに設定する。この信号の状態の組合せは、モードレジスタセットコマンドと呼ばれ、図2に示す制御信号発生回路13から、モードレジスタセット指示信号 ϕM が所定期間Hレベルの活性状態とされる。このモードレジスタセット指示信号 ϕM の活性化に従って、モードレジスタ30は、外部アドレス信号のうちの特定のアドレスビット $A D$ を取込み、指定された動作モードに対応する内部信号を発生する。この動作モード指定データが指定するモードとしては、前述のようにCASレイテンシ、バースト長などがある。

【0077】図4は、図2に示すモードレジスタ30の構成の一例を概略的に示す図である。図4において、モードレジスタ30は、図2に示す制御信号発生回路13からのモードレジスタセット指示信号 ϕM の活性化にตอบสนองして活性化され、所定のアドレス入力端子に与えられた信号 Ak 、…、 Am をデコードするデコーダ30aと、このデコーダ30aの出力信号をラッチして、CASレイテンシ指示信号 $\text{MCL}1$ 、 $\text{MCL}2$ 、…、 $\text{MCL}4$ 、…を発生するラッチ30bを含む。このラッチ30bは、モードレジスタセット指示信号 ϕM を所定時間遅延する遅延回路31の出力信号の活性化にตอบสนองしてデコーダ30aの出力信号を取込みかつラッチする。

【0078】ラッチ30bの出力するCASレイテンシ指示信号 $\text{MCL}1\sim\text{MCL}4$ 、…は、図2に示すクロックカウンタ17へ与えられる。このクロックカウンタ17へはまたモードレジスタ30内に格納されるバースト

長データも与えられる。

【0079】図5は、CASレイテンシと外部クロック信号の周波数との対応関係を概略的に示す図である。SDRAMにおいては、データ読出時、センスアンプにラッチされたデータが外部へ読出されるまでに必要とされる時間は、ほぼ予め定められている。この時間は、標準DRAMにおいて、CASアクセス時間 t_{CAC} と呼ばれるものに対応する。CASレイテンシが3に設定された場合、リードコマンドが与えられてから、外部クロック信号 $extCLK1$ の3クロックサイクル経過後に有効データQが出力されてサンプリングされる。一方、CASレイテンシが4に設定された場合、外部クロック信号 $extCLK2$ の4クロックサイクル経過後に、有効データQが出力されてサンプリングされる。このリードコマンドが与えられてから有効データが確定状態となるまでの時間は、ほぼCASアクセス時間 t_{CAC} に対応する。したがって、CASレイテンシが3に設定された場合の外部クロック信号 $extCLK1$ の周波数は、CASレイテンシが4に設定されるときの外部クロック信号 $extCLK2$ の周波数よりも低い。すなわち、CASレイテンシが4に設定される場合は、高速クロックが用いられている動作環境に対応し、CASレイテンシが4より短い値に設定されている場合は、低速クロックが用いられる動作環境に対応する。したがって、このCASレイテンシが4であるか否かを示す信号MCL4を用いて、SDRAMの動作モードを2ビットプリフェッチ方式およびパイプライン方式で切換えることにより、動作環境に応じた内部データ書込を実現することができる。

【0080】すなわち、CASレイテンシ4指示信号MCL4が活性状態にあり、CASレイテンシが4に設定されていることを示している場合には、高速クロックが用いられていることを示しており、2ビットプリフェッチ方式でSDRAMを動作させる。一方、このCASレイテンシ4指示信号MCL4が非活性状態にあり、CASレイテンシが4よりも短い値に設定されている場合には、低速クロックが用いられていることを示しており、パイプライン方式でSDRAMを動作させる。

【0081】CASレイテンシデータのモードレジスタへの設定は、SDRAMが用いられる場合に応じてユーザが行なう（デフォルト値が用いられてもよい）。このCASレイテンシ4指示信号MCL4をデータ転送方式指定信号として利用することにより、ユーザはこのSDRAMの内部データ転送モードを意識することなく、動作環境に応じた最適モードでSDRAMを動作させることができる。次に、図1および図2に示すSDRAMの動作について、図6および図7に示すタイミングチャート図を参照して説明する。

【0082】まず、図6を参照して、CASレイテンシが4に設定され、高速クロックに同期して動作する場合

の動作シーケンスについて説明する。

【0083】クロックサイクル#0において、外部クロック信号 $extCLK$ の立上がりエッジにおいて、外部のコラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがともにLレベルに設定され（ロウアドレスストローブ信号/RASはHレベルであり、リードコマンドおよびライトコマンドにおいて、ロウアドレスストローブ信号は直接関係しないため、図には示していない。以下においても同様である）、ライトコマンドが与えられ、制御信号発生回路13からの書込活性化信号/ ϕW が所定期間Lレベルの活性状態となる。一方、Yアドレスバッファ15が、外部から与えられるアドレス信号を取込み、内部コラムアドレス信号を生成する。このYアドレスバッファ15からのアドレス信号に従ってYアドレスオペレーション回路16から内部コラムアドレス信号が生成される。

【0084】今、この内部コラムアドレス信号の最下位ビットY0が“0”であり、またバンクアドレス信号BYが“1”（Hレベル）であり、バンクAが指定され、かつメモリアレイ1aaに対して先にデータ書込が行なわれることが指定された場合を想定する。このバンクアドレス信号BYに従って、制御信号発生回路32からの入力バッファ活性化信号 ϕDBA がHレベルの活性状態となる。この入力バッファ活性化信号 ϕDBA は、バースト長データで指定されるクロックサイクル期間活性状態を維持する。この活性状態とされた入力バッファ7aを介してデータ入出力端子6へ与えられたデータがセクタ8aに与えられる。セクタ8aは、まず選択信号 $\phi SEA0$ の活性化に従って入力バッファ7aから与えられたデータをライト用レジスタ9aaに伝達する。このとき、他方の選択信号 $\phi SEA1$ は非活性状態のLレベルであり、ライト用レジスタ9abへの入力データの転送は行なわれない。ライト用レジスタ9aaは、レジスタ活性化信号 $\phi RWA0$ の活性化にตอบสนองしてこのセクタ8aから与えられたデータを取込み次いでラッチする。この選択信号 $\phi SEA0$ にตอบสนองして、ライトバッファ活性化信号 $\phi WBA0$ が活性状態となり、ライトバッファ10aaが活性化され、ライト用レジスタ9aaに取込まれラッチされたデータを増幅して内部データバス5aa上に伝達する。したがって、このデータバス5aa上には、クロックサイクル#0において与えられた書込データD0が伝達される。このとき、メモリアレイ1aaおよび1abにおいては、Yアドレスオペレーション回路16からの内部コラムアドレス信号YE0-YEkおよびY00-YOkに従ってYデコード群4aaおよび4abがデコード動作を行ない、列選択信号CSLeおよびCSLoをそれぞれ選択状態へ駆動する。

【0085】クロックサイクル#1において、書込データD1が確定状態とされる。この書込データD1が入力バッファ7aを介してセクタ8aへ与えられる。セレ

クタ8aは、選択信号φSEA1の活性化に従って、この与えられた書込データをライト用レジスタ9abへ与える。ライト用レジスタ9abは、レジスタ活性化信号φRWA1に従って取込みラッチする。この選択信号φSEA1の活性化に従ってライトバッファ活性化信号φWBA1が活性状態へ駆動され、ライトバッファ10abは、このライト用レジスタ9abに格納されたデータD1を増幅して内部データバス5ab上に伝達する。これにより、データD1がメモリアレイ1abの列選択信号CSLoにより指定された列により伝達される。ライトバッファ10aaおよび10abからメモリアレイ1aaおよび1abの選択列へのデータ書込までに、2クロックサイクルを利用することができる。

【0086】2ビットのデータD0およびD1の書込が完了すると、ライトバッファ活性化信号φWBA0およびφWBA1が非活性状態へリセットされ、内部データバス5aaおよび5abは、イコライズ回路11aにより、所定電位（図6においては中間電位）レベルにイコライズされる。

【0087】クロックサイクル#2において、データD2が入力バッファ7aを介してセクタ8aへ与えられる。セクタ8aは、選択信号φSEA0に従ってこの与えられたデータをライト用レジスタ9aaに伝達する。このデータD2は、ライトバッファ活性化信号φWBA0の活性化に従って活性状態とされたライトバッファ10aaを介して内部データバス5aa上に伝達される。このとき、またYアドレスオペレーション回路16からは、図示しないバーストアドレスカウンタにより、そのアドレス信号が変化され、新たなコラムアドレス信号YE0-YEkおよびY00-YOkに従って列選択動作が行なわれ、選択列が内部データバス5aaおよび5abに接続される。

【0088】クロックサイクル#3において、データD3が与えられると、今度は、選択信号φSEA1およびレジスタ活性化信号φRWA1により、書込データがセクタ8aおよびライト用レジスタ9abを介してライトバッファ10abに与えられる。ライトバッファ10abがライトバッファ活性化信号φWBA1の活性化に、応答して活性化され、この与えられたデータD3を増幅して内部データバス5ab上に伝達する。バースト長が4であり、バッファ活性化信号φDBAは、クロックサイクル#3において非活性状態となり、新たなライトコマンドが与えられないため、データ書込動作が終了する。

【0089】選択信号φSEA0およびφSEA1、レジスタ活性化信号φRWA0およびφRWA1、ならびにライトバッファ活性化信号φDBA0およびφDBA1の対をなす信号において、いずれが先に活性状態とされるかは、コラムアドレス信号の最下位ビットY0により決定される。内部コラムアドレス信号の最下位ビット

Y0は、メモリアレイ1aaおよび1abを指定するために用いられており、メモリアレイ1aaには、偶数コラムアドレスの列が配置され、メモリアレイ1abには、奇数コラムアドレスの列が配置される。Yアドレスオペレーション回路16から生成される内部コラムアドレス信号YE0-YEkおよびY00-YOkは、したがってYアドレスバッファ15から与えられるコラムアドレス信号Y1-Yk+1に対応する。次に、図7を参照して、CASレイテンシ指示信号MCL4がLレベルに設定された場合の動作について説明する。このCASレイテンシ4指示信号MCL4がLレベルのときには、このSDRAMのクロック信号は低速であることが示されており、SDRAMはパイプライン動作を行なう。なお、図7に示す動作波形においても、バンクAが指定され、またコラムアドレスビットY0がLレベル

（“0”）に設定され、先頭アドレスとして偶数コラムアドレスが指定された場合の動作が示される。

【0090】クロックサイクル#0においては、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEがともにLレベルに設定され、ライトコマンドが与えられる。このライトコマンドに従って書込指示信号/φWが活性状態のLレベルに立下がり、列選択動作が始まる。この書込指示信号/φWの活性化に従って、最下位コラムアドレス信号ビットY0に従って入力バッファ7aに対するバッファ活性化信号φDBAが活性状態とされる。この動作は、先の2ビットプリフェッチ方式の動作と同じである。

【0091】次に、最下位コラムアドレス信号ビットY0の値に従って、図2に示す制御信号発生回路32から、選択信号φSEA0が所定期間活性状態とされ、次いでレジスタ活性化信号φRWA0が活性状態とされる。すなわち、セクタ8aが、入力バッファ7aを介して与えられた書込データをライト用レジスタ9aaに転送してそこに格納する。次いで、ライトバッファ活性化信号φDBA0が活性状態とされ、ライトバッファ10aaが、ライト用レジスタ9aaに格納されたデータを増幅して内部データバス5aa上に伝達する。クロックサイクル#0においては、Yアドレスオペレーション回路16からの内部コラムアドレス信号YE0-YEkおよびY00-YOkに従ってYデコーダ群4aaおよび4abが列選択動作を行なっており、対応の選択信号CSLeおよびCSLoが活性状態となる。これにより、ライトバッファ5aaからの転送データD0がメモリアレイ1aaの選択列上に伝達される。

【0092】クロックサイクル#1に入ると、ライトバッファ活性化信号φWBA0が非活性状態とされ、ライトバッファ10aaは、出力ハイインピーダンス状態となる。メモリアレイ1aaにおいては、列選択信号CSLeが活性状態にあり、選択メモリスセルが内部データバス5aaに結合される。しかしながら、この選択列上の

メモリのデータはセンスアンプ群3aaに含まれるセンスアンプによりラッチされており、書込データの変化は生じない。また、メモリアレイ1abにおいても、選択列が内部データバス5abに接続され、選択列のメモリセルデータがセンスアンプ群3abに含まれる対応のセンスアンプによりラッチされた状態にある（ライトバッファ10abは出力ハイインピーダンス状態）。クロックサイクル#1においては、制御信号発生回路32からの選択信号φSEA1が活性状態となり、次いでレジスタ活性化信号φWBA1が活性状態となる。これにより、入力バッファ7aを介して与えられた書込データがセクタ8aを介してライト用レジスタ9abに格納される。次いで、ライトバッファ活性化信号φWBA1が活性状態となり、ライトバッファ10abがライト用レジスタ9abに格納されたデータを増幅して内部データバス5ab上に伝達し、次いでメモリアレイ1abの選択列上に伝達する。センスアンプ群3abの対応のセンスアンプによりラッチされていたメモリセルデータがこの書込データに応じて変化し、データ書込が完了する。

【0093】2クロックサイクルが完了すると、Yアドレスオベレーション回路16からの内部コラムアドレス信号YE0-YEkおよびY00-YOkが変化し、一旦イコライズ回路11aが活性化され、内部データバス5aaおよび5abが所定の電位に設定される。次いで、再びYデコーダ群4aaおよび4abが列選択動作を行ないメモリアレイ1aaおよび1abにおいて対応の列を選択状態へ駆動する。このクロックサイクル#2においては、選択信号φSEA0が活性状態とされ、次いでレジスタ活性化信号φRWA0が活性状態とされる。これにより与えられた書込データD2が入力バッファ7a、セクタ8aを介してライト用レジスタ9aaに格納される。次いで、ライトバッファ活性化信号φWBA0が活性状態となり、ライトバッファ10aaがこのライト用レジスタ9aaに格納されたデータD2を増幅して内部データバス5aa上に伝達し、次いで、この内部データバス5aa上の書込データがメモリアレイ1aaの選択メモリセルに書込まれる。

【0094】クロックサイクル#2においてデータD2の書込が完了すると、再びライトバッファ活性化信号φWBA0が非活性状態とされる。クロックサイクル#3においては、選択信号φSEA1およびレジスタ活性化信号φRWA1が活性状態とされ、次いでライトバッファ活性化信号φWBA1が活性状態となり、データD3がセクタ8a、ライト用レジスタ9ab、およびライトバッファ10abを介して内部データバス5ab上に伝達され、メモリアレイ1abの選択メモリセルに書込まれる。バースト長が4であり、4ビットデータ（1つの端子について）の書込が完了すると、入力バッファ活性化信号φDBAがLレベルの非活性状態となり、デー

タ書込動作が完了する。Yアドレスオベレーション回路16も非活性状態となり、メモリアレイ1aaおよび1abの選択列が非活性状態へ移行する。

【0095】この図7に示すパイプライン動作においては、2クロックサイクル単位でメモリアレイ1aaおよび1abの列選択動作が行なわれている。ライトバッファ10aaおよび10abが各クロックサイクルごとに交互に活性状態へ駆動されている。したがって、2ビットプリフェッチ方式と単にライトバッファ10aaおよび10abの活性化タイミングを異ならせることで、2ビットプリフェッチ方式およびパイプライン方式いずれをも大幅な装置変更を伴うことなく実現することができる。

【0096】なお上述の説明においては、バンクAが選択された場合の動作について説明しているが、バンクBが選択された場合も同様である。また、最下位コラムアドレス信号ビットY0が“1”（Hレベル）の場合には、メモリアレイ1abに対するデータ書込がメモリアレイ1aaに対するデータ書込よりも先に行なわれる。

【0097】ここでは、データ転送を2ビットプリフェッチ方式およびパイプライン方式として説明しているが、パイプライン方式は、データを順次クロック信号に従って伝達しているだけであり、一方、2ビットプリフェッチ方式は、2ビットのデータを2クロックサイクルにわたって書込んでいる。すなわち、クロックサイクルが速くなると、プリフェッチするビット数を増加させ、応じて、データ書込に利用するクロックサイクル数を増加させている。これにより、動作サイクルに応じて正確なデータの書込を行なうことが可能となる。また、ライトバッファ1aaを介してデータを書込み、このライトバッファ1aaの非活性化への移行からライトバッファ1abの活性化までの間の期間を利用して、次の書込データのライト用レジスタ9abへの転送を行なっており、同様、レジスタ9aaおよび9abを交互に利用することにより、パイプライン態様で高速にデータを書込むことができる。また、CASレイテンシが3以下に設定された場合（各信号MCL4がLレベルのとき）、大きな駆動力を有するライトバッファは各クロックサイクルにおいて一方のみが活性状態とされているだけであり、ライトバッファにおける消費電流を低減することができる。次に各部の構成について説明する。

【0098】図8は、図2に示すクロックカウンタ17の構成を概略的に示す図である。図8において、クロックカウンタ17は、コラム系活性化信号φCまたは書込指示信号φWの活性化にตอบสนองして起動され、バースト長データ信号BSTの指定するクロックサイクル期間をカウントし、そのカウントアップ時カウントアップ信号φBSTを出力するバースト長カウンタ17aと、レイテンシデータ信号MCLが指定するクロックサイクル期間このバースト長カウンタ17aのカウントアップ信号を

遅延するレイテンシカウンタ17bを含む。このバースト長カウンタ17aおよびレイテンシカウンタ17bへは、内部クロック信号CLKが与えられる。バースト長データ信号BSTおよびCASレイテンシデータ信号MCLは、ともに図2に示すモードレジスタ30から出力される。バースト長カウンタ17aおよびレイテンシカウンタ17bは、それぞれシフトレジスタで構成され、内部クロック信号CLKに同期してその取込んだコラム系活性化信号φCを転送する。このバースト長カウンタ17aおよびレイテンシカウンタ17bの出力信号は、図2に示す制御信号発生回路32へ与えられる。

【0099】図9は、入力バッファ活性化信号発生部の構成を概略的に示す図である。この図9に示す入力バッファ活性化信号φDBAおよびφDBBを発生する部分は、図2に示す制御信号発生回路32に含まれる。

【0100】図9において、入力バッファ活性化信号発生部は、書込モード指示信号φWの活性化に応答してセットされかつ図8に示すバースト長カウンタ17aからのカウントアップ信号φBSTの活性化に応答してリセットされるセット／リセットフリップフロップ32aと、このセット／リセットフリップフロップ32aの出力Qからの信号φDBとバンクアドレス信号BYを受けるAND回路32bと、信号φDBとバンクアドレス信号／BYを受けるAND回路32cを含む。AND回路32bから入力バッファ活性化信号φDBAが出力され、AND回路32cから入力バッファ活性化信号φDBBが出力される。次に、この図9に示す入力バッファ活性化信号発生部の動作を図10に示すタイミングチャート図を参照して説明する。

【0101】図10を参照して、クロックサイクル#0においてライトコマンドが与えられるとデータ書込指示信号φWが所定期間Hレベルの活性状態となり、セット／リセットフリップフロップ32aがセットされ、信号φDBがHレベルに立上がる。一方、図8に示すバースト長カウンタ17aは、このライトコマンドにより発生されたコラム系活性化信号φCに従ってカウント動作を行なっている。指定されたバースト長が4の場合、4クロックサイクルをカウントすると、クロックサイクル#3において、図8に示すバースト長カウンタ17aからのカウントアップ信号φBSTがHレベルに立上がり、応じてセット／リセットフリップフロップ32aがリセットされ、信号φDBがLレベルに立下がる。入力バッファ活性化信号φDBAおよびφDBBの一方が、バンクアドレス信号BYおよび／BYおよび信号φDBに従ってHレベルの活性状態とされており、選択バンクに対するデータ書込がクロックサイクル#3において完了する（バースト長が4である）。

【0102】なお、図9に示す構成においては、図8に示すバースト長カウンタ17aからのカウントアップ信号φBSTがセット／リセットフリップフロップ32a

へ与えられている。しかしながら、確実にクロックサイクル#3において与えられたデータを取込むため、このカウントアップ信号φBSTに従ってワンショットのパルス信号を発生し、このワンショットパルス信号が所定期間遅延されてセット／リセットフリップフロップ32aへ与えられてもよい。この場合の遅延時間は、クロックサイクル#3において与えられた書込データが入力バッファにより取込まれ、セレクトを介してライト用レジスタに転送するまでに必要とされる期間である。

【0103】またこれに代えて、バースト長カウンタ17a（図8参照）は、内部クロック信号CLKの立下がりをカウントしており、この内部クロック信号CLKの立下がりバースト長に等しい数カウントされたときにカウントアップ信号φBSTが出力されるように構成されてもよい。

【0104】バースト長カウンタ17a（図8参照）は、活性状態のコラム系活性化信号φCが与えられるとそのカウントアップ信号φBSTをリセットする。したがって、クロックサイクル#3においてライトコマンドが与えられると、再びこのライトコマンドに従ってデータは連続的に書込まれる。

【0105】図11は、セレクトに与えられる選択信号発生部の構成を示す図である。図11に示す選択信号発生部は、図2に示す制御信号発生回路32に含まれる。また、この図11においては、バンクAに対する選択信号φSEA0およびφSEA1を発生する部分の構成を示す。バンクBの選択信号φSEB0およびφSEB1の発生部分も同様の構成を用いて実現される。図11において、選択信号発生部32dは、最下位内部コラムアドレス信号Y0を受けるインバータ32daと、書込動作指示信号φWの活性化に応答して導通し、Yアドレスバッファ15から与えられる最下位コラムアドレス信号ビットY0およびインバータ32daの出力信号をそれぞれノードNaおよびNbへ伝達するnチャネルMOSトランジスタで構成されるトランスファゲート32dbおよび32dcと、ノードNaおよびNb上の信号電位をラッチするためのNAND回路32dbおよび32deを含む。NAND回路32ddは、その一方入力がノードNaに接続され、その他方入力がNAND回路32deの出力ノードに結合される。NAND回路32deは、その一方入力がノードNbに接続され、その他方入力ノードがNAND回路32ddの出力ノードに結合される。

【0106】選択信号発生部32dは、さらに、NAND回路32dbの出力信号と内部クロック信号CLKの反転信号／CLKを受けるNAND回路32dfと、NAND回路32deの出力信号と反転内部クロック信号／CLKを受けるNAND回路32dgと、NAND回路32dfおよび32dgの出力信号をラッチするためのNAND回路32dhおよび32diを含む。NAN

D回路32dhの一方入力、NAND回路32dfの出力ノードに結合され、その他方入力ノードはNAND回路32diの出力ノードに結合される。NAND回路32diは、その一方入力、NAND回路32dgの出力ノードに結合され、その他方入力ノードがNAND回路32dhの出力ノードに結合される。

【0107】選択信号発生部32dは、さらに、NAND回路32dhの出力信号と書込動作活性化信号WDEと内部クロック信号CLKを受けるNAND回路32djと、NAND回路32jiの出力信号と書込動作活性化信号WDEと内部クロック信号CLKを受けるNAND回路32dkと、書込動作指示信号の反転信号 ϕW がHレベルのときに導通し、NAND回路32dkおよび32djの出力信号をそれぞれノードNaおよびNbに伝達するnチャネルMOSトランジスタで構成されるトランスファゲート32dlおよび32dmと、ノードNa上の信号電位を反転して選択信号 $\phi SEA0$ を生成するインバータ32dnと、ノードNb上の信号電位を反転して選択信号 $\phi SEA1$ を生成するインバータ32doを含む。次に、この図11に示す選択信号発生回路32dの動作を図12に示すタイミングチャート図を参照して説明する。

【0108】クロックサイクル#0において、ライトコマンドが与えられ、書込動作指示信号 ϕW が所定期間活性状態のHレベルとされる。このライトコマンドと同時に与えられたアドレス信号に従ってコラムアドレス信号の最下位ビットY0が取込まれる。図12においては、この最下位コラムアドレス信号ビットY0がLレベル（“0”）に設定された場合の動作が示される。この書込動作指示信号 ϕW がHレベルの活性状態となると、トランスファゲート32dbおよび32dcがオン状態、トランスファゲート32dlおよび32dmがオフ状態となり、このビットY0およびインバータ32daの出力信号がノードNaおよびNbに伝達される。ノードNaおよびNbの信号電位は、NAND回路32ddおよび32deにより構成されるラッチ回路によりラッチされる。最下位コラムアドレス信号ビットY0がLレベルであり、ノードNaがLレベル、ノードNbがHレベルにそれぞれ設定される。このノードNaのLレベルの信号電位により、NAND回路32ddの出力信号がHレベルとなり、ノードNcが先の状態からHレベルに固定され、一方、ノードNdはLレベルに設定される。内部クロック信号 ϕCLK はLレベルであり、NAND回路32dfおよび32dgの出力信号はHレベルである。

【0109】内部クロック信号CLKがLレベルに立下がると、書込動作指示信号 ϕW も応じてLレベルに立下がり、トランスファゲート32dbおよび32dcがオフ状態となり、一方トランスファゲート32dlおよび32dmがオン状態となる。この状態においては、内部クロック信号CLKがLレベルであり、NAND回路3

2djおよび32dkの出力信号がともにHレベルとなり、ノードNaおよびNbが、ともにHレベルに固定される。このノードNa上の信号電位がインバータ32dnにより反転される。したがって、最初に選択信号 $\phi SEA0$ がこの内部ノードNa上のLレベルに従ってHレベルに設定される。ノードNbはHレベルにあり、選択信号 $\phi SEA1$ はLレベルを保持する。

【0110】内部クロック信号CLKがLレベルに立下がると、一方内部クロック信号 ϕCLK がHレベルとなり、ノードNcおよびNd上の信号電位がNAND回路32dfおよび32dgにより反転されてNAND回路32dhおよび32diに伝達されてラッチされる。したがって、この内部クロック信号CLKの立下がりに応答して、ノードNeの信号電位が、ノードNcのHレベルの信号に従ってHレベルに設定される。一方、ノードNfはLレベルに設定される。この状態は、内部クロック信号 ϕCLK が再びHレベルに変化するまで維持される。

【0111】クロックサイクル#1において、内部クロック信号CLKが再びHレベルとなると、NAND回路32djおよび32dkがインバータとして作用し、NAND回路32djの出力信号がノードNe上の信号電位のHレベルに従ってLレベルとなり、ノードNg上のHレベルの信号電位はトランスファゲート32dmを介してノードNbに伝達される。したがって、クロックサイクル#1においては、選択信号 $\phi SEA1$ が所定期間Hレベルへ立上がる。内部ノードNaの電位はHレベルであり（NAND回路32dkの出力信号はHレベル）、選択信号 $\phi SEA0$ はLレベルを維持する。

【0112】このクロックサイクル#1におけるノードNaおよびNb上のHレベルの信号およびLレベルの信号がNAND回路32ddおよび32deによりラッチされる。したがって、このクロックサイクル#1において、ノードNcの電位がLレベルに立下がり、ノードNdの電位はHレベルとなる。内部クロック信号 ϕCLK がHレベルに立上がると、NAND回路32dfおよび32dgがインバータとして作用し、ノードNcおよびNd上の信号電位をNAND回路32dhおよび32diに伝達する。したがって、クロックサイクル#1において内部クロック信号CLKの立下がりに応答してノードNeの信号電位がHレベルからLレベルに立下がり、ノードNfの電位がHレベルとなる。この内部クロック信号CLKがLレベルの期間、NAND回路32djおよび32dkの出力信号はHレベルであり、選択信号 $\phi SEA0$ および $\phi SEA1$ がLレベルを維持する。

【0113】クロックサイクル#2において、内部クロック信号CLKが再びHレベルに立上がると、NAND回路32djおよび32dkがインバータとして作用し、ノードNeおよびNf上の信号電位がノードNaおよびNbに伝達される。したがって、このクロックサイ

クル#2においては、ノードNaがLレベルとなり、一方ノードNbがHレベルを維持する。したがって、クロックサイクル#2において、再び選択信号φSEA0が出力される。

【0114】再び先のクロックサイクル#0および#1と同様の動作が行なわれ、クロックサイクル#3においては、選択信号φSEA1が所定期間Hレベルの活性状態とされる。書込動作活性化信号WDEは、ライトコマンドが与えられてからバースト長で示すクロックサイクルが経過した後にLレベルの非活性状態となる。したがって、クロックサイクル#4において、この書込動作活性化信号WDEがLレベルの活性状態となり、NAND回路32djおよび32dkの出力信号がHレベルに固定される。これにより、ノードNaおよびNbがHレベルとなり、NAND回路32ddおよび32deで構成されるラッチがクロックサイクル#3の状態を維持する。NAND回路32dfおよび32dgは、内部クロック信号/CLKに従ってノードNcおよびNdの信号電位を反転して伝達する。したがって、ノードNeおよびNfもクロックサイクル#3において内部クロック信号CLKの立下がりに同期して、内部ノードNcおよびNdの状態に対応する電位レベルに設定され、以降その状態を保持する。

【0115】上述のように、ライトコマンドが与えられたサイクルにおいてのみ最下位コラムアドレス信号ビットY0を取込み、選択信号φSEA0およびφSEA1のいずれを先に活性状態へ駆動するかを決定する。この最下位コラムアドレス信号ビットY0を取込んだ後には、リング型シフトレジスタを構成し、クロック信号CLKおよび/CLKに従って循環的に伝達することにより、選択信号φSEA0およびφSEA1を、各クロックサイクル毎に交互に活性状態とすることができる。

【0116】図13は、図11に示す書込動作活性化信号WDEを発生する部分の構成を概略的に示す図である。図13において、書込動作活性化信号発生部32eは、バースト長カウンタからのカウントアップ信号φBSTを内部クロック信号CLKに従ってシフトして1クロックサイクル遅延するシフト回路32eaと、シフト回路32eaの出力信号の立上りに応答して所定の時間幅を有するワンショットパルス信号φPを発生するワンショットパルス発生回路32ebと、書込動作指示信号φWの活性化にตอบสนองしてセットされてかつワンショットパルス発生回路32ebからのワンショットパルス信号φPにตอบสนองしてリセットされるセット/リセットフリップフロップ32ecを含む。このセット/リセットフリップフロップ32ecの出力Qから書込動作活性化信号WDEが出力される。次に、この図13に示す書込動作活性化信号発生部の動作を図14に示すタイミングチャート図を参照して説明する。

【0117】クロックサイクル#0においてライトコマ

ンドが与えられると、書込動作指示信号φWが所定期間Hレベルの活性状態となる。この書込動作指示信号φWの活性化にตอบสนองしてセット/リセットフリップフロップ32ecがセットされ、書込動作活性化信号WDEがHレベルに立上がる。また、バースト長カウンタが、この書込動作指示信号φWの活性化にตอบสนองして起動され、バースト長のクロックサイクルをカウントする。ライトコマンドが与えられてから4クロックサイクル目のクロックサイクル#3において、バースト長カウンタからのカウントアップ信号φBSTがHレベルに立上がる。シフト回路32eaは、このカウントアップ信号φBSTを1クロックサイクル遅延する。したがって、このシフト回路32eaからは、クロックサイクル#4においてHレベルに立上がる信号が出力される。ワンショットパルス発生回路32ebが、このシフト回路32eaの出力信号の立上りにตอบสนองしてワンショットのパルス信号φPを出力する。このワンショットパルス信号φPにより、セット/リセットフリップフロップ32ecがリセットされ、書込動作活性化信号WDEがLレベルの非活性状態となる。

【0118】このバースト長データが規定する期間のみ、交互に選択信号を発生して、ライト用レジスタへ交互にデータを書込むことができる。

【0119】図15は、このライト用レジスタ活性化信号発生部の構成を概略的に示す図である。図15においては、ライト用レジスタ活性化信号φRWA0に対する部分の構成を示す。図15において、ライト用レジスタ活性化信号発生部は、選択信号φSEA0の立上りにตอบสนองして所定の時間Hレベルとなるワンショットのパルス信号を発生するワンショットパルス発生回路32fを含む。このワンショットパルス発生回路32fからレジスタ活性化信号φRWA0が出力される。選択信号φSEA1に対しても、同様のワンショットパルス発生回路が設けられ、ライト用レジスタ信号φRWA1がこの選択信号φSEA1に従って所定時間活性状態とされる。したがって、セレクトにより書込データが伝達されたとき、レジスタが与えられたデータを取込み、このライト用レジスタ信号φRWA0が非活性状態となるとレジスタはラッチ状態となる。

【0120】図16は、ライトバッファリセット信号発生部の構成を示す図である。この図16に示すリセット信号発生部32gからのリセット信号WRSTに従って、ライトバッファがリセットされる。

【0121】図16において、リセット信号発生部32gは、書込動作活性化信号WDEを受けるインバータ32gaと、インバータ32gaの出力信号と内部クロック信号/CLKを受けるNAND回路32gbと、書込動作活性化信号WDEと内部クロック信号/CLKを受けるNAND回路32gcと、NAND回路32gbおよび32gcの出力信号をラッチするためのNAND回

路32gdおよび32geを含む。NAND回路32gdはその一方入力にNAND回路32gcの出力信号を受け、その他方入力に、NAND回路32geの出力信号を受ける。NAND回路32geは、その一方入力にNAND回路32gcの出力信号を受け、その他方入力にNAND回路32gdの出力信号を受ける。

【0122】リセット信号発生部32gは、さらに、NAND回路32geの出力信号とノードN10上の信号とを受けるNAND回路32gfと、NAND回路32gfの出力信号を受けるインバータ32ggと、インバータ32ggの出力信号と内部クロック信号CLKを受けるNAND回路32ghと、NAND回路32gfの出力信号と内部クロック信号CLKを受けるNAND回路32giと、NAND回路32ghおよび32giの信号をラッチするためのNAND回路32gjおよび32gkを含む。NAND回路32gjは、その一方入力にNAND回路32ghの出力ノードN3に結合され、その他方入力にNAND回路32gkの出力ノードN6に結合される。NAND回路32gkは、その一方入力にNAND回路32giの出力ノードN4に接続され、その他方入力にNAND回路32gjの出力ノードN5に結合される。

【0123】リセット信号発生部32gは、さらに、NAND回路32gjの出力信号と内部クロック信号/CLKを受けるNAND回路32glと、NAND回路32gkの出力信号と内部クロック信号/CLKを受けるNAND回路32gmと、このNAND回路32glおよび32gmの出力信号をラッチするためのNAND回路32gnおよび32goを含む。NAND回路32gnは、その一方入力にNAND回路32glの出力ノードN7に接続され、その他方入力にNAND回路32goの出力ノードN10に接続される。NAND回路32goは、その一方入力にNAND回路32gmの出力ノードN8に接続され、その他方入力にNAND回路32gnの出力ノードN9に結合される。

【0124】リセット信号発生部32gは、さらに、ノードN1上の信号と内部クロック信号CLKを受けるAND回路32gpと、ノードN1上の信号とNAND回路32gnの出力信号とNAND回路32gkの出力信号とを受けるAND回路32gqと、CASレイテンシ4指示信号MCL4に従ってNAND回路32gpおよび32gqの出力信号の一方を選択してライトバッファリセット信号WRSTを出力する選択回路32grを含む。この選択回路32grは、CASレイテンシ4指示信号MCL4がLレベルにあり、CASレイテンシが4より短いことを示すときには、AND回路32gpの出力信号を選択する。CASレイテンシ4指示信号MCL4がHレベルの活性状態のときには、この選択回路32grは、AND回路32gqの出力信号を選択する。次に、この図16に示すリセット信号発生部32gの動作

について、図17に示すタイミングチャート図を参照して説明する。

【0125】NAND回路32gb、32gc、32gdおよび32geは、内部クロック信号/CLKがHレベルのときにその入力に与えられた信号を取込みかつ出力するとともに、この内部クロック信号/CLKがLレベルとなるとラッチ状態となる。したがって、このNAND回路32gb~32geの出力ノードN1の信号電位は、内部クロック信号/CLKの1サイクルごとに、書込動作活性化信号WDEの信号状態に応じて変化する。

【0126】今、クロックサイクル#0においてライトコマンドが与えられると、このクロックサイクル#0において書込動作活性化信号WDEがHレベルの活性状態となる。このライトコマンドが与えられる前の時点においては、書込動作活性化信号WDEはLレベルであり、ノードN1の信号電位はLレベル、したがってノードN2の信号電位はNAND回路32gfによりHレベルにある。このノードN2上の信号電位は、内部クロック信号CLKおよび/CLKに従って順次伝達される。したがってノードN10へは、1クロックサイクル遅れてノードN2の電位が伝達される。したがって、ノードN3上の信号電位はHレベル、ノードN5の信号電位はLレベル、ノードN9上の信号電位はLレベルであり、ノードN10上の信号電位はHレベルである。

【0127】書込動作活性化信号WDEがHレベルとなり、次いでクロックサイクル#0において、内部クロック信号CLKがLレベルに立下がり、内部クロック信号/CLKがHレベルとなると、このHレベルの書込動作活性化信号がノードN1上に伝達され、ノードN1の信号電位がHレベルに立上がる。ノードN10の電位はHレベルであるため、このノードN1上の信号電位の立上がりによってNAND回路32gfの出力信号がLレベルとなり、ノードN2の信号電位がLレベルとなる。内部クロック信号CLKはLレベルであるため、NAND回路32ghおよび32giの出力信号はHレベルであり、このノードN2上のLレベルの信号電位の伝搬は行なわれない。

【0128】クロックサイクル#1において、内部クロック信号CLKがHレベルに立上がると、NAND回路32ghおよび32giがインバータとして機能し、このノードN2上の信号電位を伝達し、NAND回路32gjおよび32gkによりラッチされる。応じて、ノードN3の信号電位がLレベルとなると、NAND回路32gjの出力ノードN5の電位がHレベルに立上がり、一方ノードN6の信号電位がLレベルに立下がる。ノードN3の信号電位は、内部クロック信号CLKがLレベルに立下がるとHレベルに立上がる。このノードN5上の信号電位がHレベルに立上がる時、内部クロック信号/CLKはLレベルにあり、NAND回路32glお

および32gmの出力信号はHレベルであり、この信号の伝搬は停止される。

【0129】クロックサイクル#1において、内部クロック信号CLKがLレベルに立下がり、内部クロック信号/CLKがHレベルに立上ると、このノードN5およびN6上の信号電位がNAND回路32g1および32gmを介してNAND回路32gnおよび32goに伝達されてラッチされる。応じてノードN9上の信号電位がノードN5上の信号電位に応じてHレベルに立上がる。このノードN9上の信号電位がHレベルに立上ると、ノードN10の信号電位はLレベルとなり、応じてノードN2上の信号電位がHレベルに立上がる。

【0130】以降、ノードN2の信号電位は、内部クロック信号CLKの半クロックサイクル遅れてノードN6に伝達され、ノードN6上の信号電位が内部クロック信号CLKの半クロックサイクル遅れてノードN10に伝達される。したがって、クロックサイクル#2においてノードN5がLレベルとなり、クロックサイクル#3において、ノードN5上の信号電位がHレベルとなる。一方、ノードN9上へは、このノードN5の信号電位が内部クロック信号CLKの半クロックサイクル遅れて伝達される。

【0131】新たに設定されたバースト長期間が完了すると、書込動作活性化信号WDEがクロックサイクル#4においてLレベルの非活性状態に立下がる。このクロックサイクル#4において、内部クロック信号CLKの立下がりによってLレベルの信号電位がノードN1に伝達され、ノードN2の電位がHレベルに設定され、このリセット発生部32gがリセットされる。

【0132】AND回路32gpは、内部クロック信号CLKとノードN1上の信号電位を受けている。したがって、AND回路32gpの出力信号は、クロックサイクル#1、#2、#3および#4それぞれにおいて、内部クロック信号CLKの立下がりに同期してHレベルに立上がる。一方、AND回路32gqは、ノードN1上の信号電位とノードN9上の信号電位とノードN6上の信号電位とを受けている。ノードN6上の信号電位はノードN5上の信号電位と相補な論理の信号電位となる。したがって、このAND回路32gqからの出力信号は、クロックサイクル#2および#4において、内部クロック信号CLKの立下がりに同期してHレベルとなる。

【0133】選択回路32grは、CASレイテンシ4指示信号MCL4がたとえばLレベルにあり、CASレイテンシが4より短いことを示している場合には、AND回路32gpの出力信号を選択し、一方、CASレイテンシが4に設定されており、CASレイテンシ4指示信号MCL4がたとえばHレベルのときには、AND回路32gqの出力信号を選択する。したがって、CASレイテンシが4より短い場合には、各クロックサイクル

において、ライトバッファのリセットが行なわれ、一方、CASレイテンシが4に設定された場合には2サイクルごとにライトバッファのリセットが行なわれる。

【0134】図18は、ライトバッファ活性化信号発生部の構成を概略的に示す図である。図18においてライトバッファ活性化信号発生部32hは、選択信号φSEA0にตอบสนองしてライトバッファ活性化信号φWBA0を発生するライトバッファ制御回路32haと、選択信号φSEA1に従ってライトバッファ活性化信号φWBA1を発生するライトバッファ制御回路32hbを含む。このライトバッファ制御回路32haおよび32hbは同じ構成を備えているため、図18においては、ライトバッファ制御回路32haの内部構成のみを具体的に示す。

【0135】ライトバッファ制御回路32haは、選択信号φSEA0を受けるインバータ32haaと、リセット信号WRSTを受けるインバータ32habと、インバータ32haaの出力信号を一方入力に受けるNAND回路32hacと、インバータ32habの出力信号を一方入力に受けるNAND回路32hadを含む。NAND回路32hacの出力信号はNAND回路32hadの他方入力へ与えられる。NAND回路32hadの出力信号はNAND回路32hacの他方入力へ与えられる。NAND回路32hacからライトバッファ活性化信号φWBA0が出力される。このライトバッファ制御回路32haは、選択信号φSEA0によりセットされ、リセット信号WRSTによりリセットされるセット/リセットフリップフロップの構成と等価である。次に、この図18に示すライトバッファ活性制御信号発生部の動作を、図19に示すタイミングチャート図を参照して説明する。

【0136】クロックサイクル#0においてライトコマンドが与えられると、そのクロックサイクル#0から書込動作活性化信号WDEがHレベルの活性状態となる。この書込動作活性化信号WDEの活性化に従って、選択信号φSEA0およびφSEA1が各クロックサイクルごとに交互に所定期間活性状態へ駆動される。CASレイテンシが4より短い場合には、CASレイテンシ4指示信号MCL4がたとえばLレベルの非活性状態とされ、リセット信号WRSTがクロックサイクル#1、#2、#3および#4においてそれぞれ所定期間活性状態とされる。選択信号φSEA0の活性化に従って、インバータ32haaの出力信号がHレベルからLレベルに立下がり、応じてNAND回路32hacの出力するライトバッファ活性化信号φWBA0がHレベルの活性状態へ駆動される。

【0137】クロックサイクル#1において、リセット信号WRSTが所定期間Hレベルの活性状態とされると、応じてNAND回路32hadの出力信号がHレベルとなり、NAND回路32hacからのライトバッファ

ァ活性化信号φWBA0がLレベルに立下がる。クロックサイクル#1において、選択信号φSEA1がHレベルの活性状態へ駆動され、ライトバッファ活性化信号φWBA1が活性状態とされる。この制御回路32haおよび32hbは、セット優先型フリップフロップであり、リセット信号WRSTがHレベルの状態にあっても、選択信号φSEA0またはφSEA1がHレベルの活性状態となるとセットされ、その出力信号であるライトバッファ活性化信号φWBA0またはφWBA1が活性状態へ駆動される。したがって、CASレイテンシが4より短い場合には、各クロックサイクル交互にライトバッファ活性化信号φWBA0およびφWBA1が活性状態へ駆動される。

【0138】一方、CASレイテンシが4の場合には、リセット信号WRSTは、2クロックサイクルに1回、すなわちクロックサイクル#2および#4において活性状態とされる。ライトバッファ活性化信号φWBA0は、クロックサイクル#0における選択信号φSEA0の活性化に従って活性状態へ駆動される。またライトバッファ活性化信号φWBA1は、クロックサイクル#1における選択信号φSEA1の活性化に従って活性状態へ駆動される。クロックサイクル#2におけるリセット信号WRSTに従って、このライトバッファ活性化信号φWBA0およびφWBA1が一旦Lレベルの非活性状態とされる。クロックサイクル#2において、再び、選択信号φSEA0に従ってライトバッファ活性化信号φWBA0が活性状態へ駆動される。次いで、クロックサイクル#3における選択信号φSEA1に従ってライトバッファ活性化信号φWBA1が活性状態へ駆動され、次いでクロックサイクル#4においてリセット信号WRSTに従ってこれらのライトバッファ活性化信号φWBA0およびφWBA1が非活性状態へ駆動される。これにより、選択回路32gr（図16参照）において、CASレイテンシ4指示信号MCL4に従って、リセット信号の発生周期を切換えることにより、2ビットプリフェッチモードおよびパイプラインモードいずれかのモードに従って、データ書込を行なうことができる。

【0139】図20は、図2に示すYアドレスオペレーション回路16の構成を概略的に示す図である。図20において、Yアドレスオペレーション回路16は、コラム系活性化信号φCを取込み、内部クロック信号CLKに従って、2クロックサイクルごとにカウントアップ信号φUPを出力するアドレス制御回路16aと、コラム系イネーブル信号CDEの活性化時活性化され、図2に示すYアドレスバッファから与えられる内部コラムアドレス信号Y1-Yjを取込みかつアドレス制御回路16aからのカウントアップ信号φUPに従って取込んだアドレスを変化させて内部コラムアドレス信号を生成するアドレス発生回路16bを含む。

【0140】アドレス制御回路16aは、コラム系活

化信号φCの活性化時導通し、このコラム系活性化信号φCを通過させるトランスファゲート16aaと、コラム系イネーブル信号CDEの活性化時起動され、内部クロック信号CLKに従ってこのトランスファゲート16aaから伝達された信号をシフトする2クロックシフト回路16abと、コラム系活性化信号φCの非活性化時導通し、2クロックシフト回路16abの出力信号を2クロックシフト回路16abの入力部へ伝達するトランスファゲート16acを含む。2クロックシフト回路16abは、通常の2段のシフトレジスタで構成され（図16参照）、入力部に与えられた信号を2クロックサイクル遅延して出力する。

【0141】アドレス発生回路16bは、コラム系イネーブル信号CDEの活性化時活性化され、Yアドレスバッファから与えられるアドレス信号Y1-Yjを取込み、アドレス制御回路16aからのカウントアップ信号φUPに従ってその出力値を所定のシーケンスで変化させるバーストアドレスカウンタ16baと、コラム系イネーブル信号CDEに従ってこのYアドレスバッファから与えられたアドレス信号をラッチしてバンクアドレス信号BYを出力するバンクラッチ16bbを含む。

【0142】このバーストアドレスカウンタ16baから内部コラムアドレス信号YE0-YEkおよびY00-YOkが出力されて、図1に示すYデコーダ群4aaおよび4abへ与えられる。

【0143】このバーストアドレスカウンタ16baが出力する内部コラムアドレス信号は、図2に示す制御信号発生回路32に含まれるコラムアドレス変化検出回路（CATD）回路32iへ与えられる。このコラムアドレス変化検出回路32iは、バーストアドレスカウンタ16baの出力する内部コラムアドレス信号の変化を検出し、それぞれ内部データバスコライズ指示信号φWEQおよびコラムデコーダ（Yデコーダ）リセット信号φCDRを出力する。次に、この図20に示すYアドレスオペレーション回路の動作を図21に示すタイミングチャート図を参照して説明する。

【0144】クロックサイクル#0においてライトコマンドが与えられる。このライトコマンドに従って、コラム系活性化信号φCが所定期間Hレベルとなり、アドレス発生回路16aにおいてトランスファゲート16aaが導通し、2クロックシフト回路16abの入力部にHレベルの信号が伝達される。一方、このライトコマンドに従ってコラム系イネーブル信号CDEが活性状態となり、バーストアドレスカウンタ16baが活性状態となり、Yアドレスバッファから与えられた内部アドレス信号を取込み、内部コラムアドレス信号YE0-YEkおよびY00-YOkを出力する。またバンクラッチ16bbが、コラム系イネーブル信号CDEに従って、与えられたバンクアドレス信号を取込みバンクアドレス信号BYを出力する。

【0145】このバーストアドレスカウンタ16baからの内部コラムアドレス信号の発生に従ってコラムアドレス変化検出回路32iがこの変化を検出し、ワンショットパルスの形でデータバスイコライズ指示信号φWEQおよびコラムデコーダリセット指示信号φCDRを出力する。これにより、図1に示すメモリアレイ1aaおよび1abにおいて列選択動作が行なわれて、選択列が内部データバスに接続される。

【0146】クロックサイクル#1においては、まだ2クロックシフト回路16abの出力信号φUPはLレベルであり、バーストアドレスカウンタ16baの出力する内部コラムアドレス信号は変化しない。

【0147】ライトコマンドが与えられてから2クロックサイクル経過すると、クロックサイクル#2において、2クロックシフト回路16abからのカウントアップ信号φUPが活性状態となり、バーストアドレスカウンタ16baの出力する内部コラムアドレス信号YEO-YEkおよびYOO-YOkの値が変化する。このバーストアドレスカウンタ16baの出力する内部コラムアドレス信号の変化に従って再びコラムアドレス変化検出回路32iからの内部データバスイコライズ信号φWEQおよびコラムデコーダリセット信号φCDRが所定期間活性状態となる。

【0148】再び、この新しい内部コラムアドレス信号に従って列選択動作が行なわれる。バースト長データが指定する4クロックサイクルが経過すると、クロックサイクル#4においてコラム系イネーブル信号CDEがLレベルに立下がり、2クロックシフト回路16abおよびバンクラッチ16bbがリセットされて初期状態に復帰する。この内部コラムアドレス信号のリセット状態への変化に移行して、再び内部データバスイコライズ指示信号φWEQおよびコラムデコーダリセット信号φCDRが所定期間Hレベルの活性状態となる。

【0149】コラム系イネーブル信号CDEは、たとえば図13に示す回路と同様の構成を用いて実現することができる。コラム系回路イネーブル信号CDEが、書込動作活性化信号WDEよりも早いタイミングで変化する。

【0150】図22は、図1に示すバンクAに対する書込経路の構成を概略的に示す図である。図22においては、メモリアレイ1aaに対する回路構成を具体的に示す。メモリアレイ1abに対するデータ書込部は同じ構成を備えているため、単にブロック図で示す。

【0151】図22において、セレクト8aは、選択信号φSEA0のHレベルにตอบสนองして導通し、入力バッファから与えられる書込データを伝達するトランスミッションゲート8aaと、選択信号φSEA1がHレベルのときに導通し、入力バッファから与えられるデータを伝達するトランスミッションゲート8abを含む。トランスミッションゲート8aaの伝達するデータが、ライト

用レジスタ9aaに与えられ、トランスミッションゲート8abの伝達するデータがライト用レジスタ9abに与えられる。

【0152】ライト用レジスタ9aaは、このトランスミッションゲート8aaから与えられるデータを反転するインバータV1と、インバータV1の出力信号とレジスタ活性化信号φRWA0を受けるNAND回路G1と、トランスミッションゲート8aaからのデータとレジスタ活性化信号φRWA0を受けるNAND回路G2と、NAND回路G1およびG2の出力信号をラッチするためのNAND回路G3およびG4を含む。NAND回路G3は、その一方入力にNAND回路G1の出力信号を受け、その他方入力にNAND回路G4の出力信号を受ける。NAND回路G4は、その一方入力にNAND回路G2の出力信号を受け、その他方入力にNAND回路G3の出力信号を受ける。

【0153】このライト用レジスタ9aaにおいては、レジスタ活性化信号φRWA0がHレベルの活性状態のときに、NAND回路G1およびG2がインバータとして機能し、セレクトから与えられたデータを取込みラッチする。レジスタ活性化信号φRWA0がLレベルとなると、NAND回路G1およびG2の出力信号はHレベルとなり、NAND回路G3およびG4により構成されるラッチ回路はラッチ状態となり、取込んだデータがラッチされかつ出力される。

【0154】ライトバッファ10aaは、ライトバッファ活性化信号φWBA0の活性化にตอบสนองして作動状態とされ、NAND回路G3およびG4の出力信号を反転しかつ増幅して内部データバス線5aaaおよび5aab上に伝達するトライステートインバータバッファT1およびT2を含む。内部データバス線5aaaおよび5aabは、内部データバス5aaを構成し、互いに相補なデータ信号を伝達する。このライトバッファ10aaは、活性化信号φWBA0がLレベルの非活性状態となると、出力ハイインピーダンス状態となる。

【0155】この図22に示す構成と同様の構成が、バンクBに対しても設けられる。また上述の各構成においても、バンクAに対しての構成のみが示されているが、バンクBに対しても同様の構成が設けられ、バンクアドレス信号BYおよび／BYに従って選択的に活性状態とされる。

【0156】以上のように、この発明の実施の形態1に従えば、モードレジスタに設定されたCASレイテンシ指示信号を用いてデータ書込方式を選択的に設定しているため、ユーザは、内部でのデータ書込方式を意識することなく、動作環境に応じた最適なデータ書込モードでSDRAMを動作させることができる。

【0157】〔実施の形態2〕図23は、この発明の実施の形態2に従うSDRAMの要部の構成を概略的に示す図である。図23においては、バンクAに対するデー

タ読出部の構成が示される。この図23に示すデータ読出部の構成がバンクBに対しても設けられる。バンクAに含まれるメモリアレイ1a aおよび1a bおよびその周辺回路の構成は、先の図1および図2に示すものと同様である。

【0158】図23において、データ読出部は、読出アンプ活性化信号PAEA0の活性化時活性化され、メモリアレイ1a aから内部データバス5a a上に読出されたデータを増幅して出力するリードバッファ50 aと、レジスタ活性化信号RRA0の活性化にตอบสนองしてリードバッファ50 aからの出力信号を取込み、かつラッチするリード用レジスタ52 aと、リードバッファ活性化信号PAEA1の活性化にตอบสนองして活性化され、メモリアレイ1a bから内部データバス5a bに読出されたデータを増幅するリードバッファ50 bと、レジスタ活性化信号RRA1の活性化にตอบสนองしてリードバッファ50 bの出力信号を取込みかつラッチするリード用レジスタ52 bと、選択信号SELに従ってリード用レジスタ52 aおよび52 bの一方のラッチデータを選択するセクタ54と、出力イネーブル信号OEMの活性化にตอบสนองして作動状態とされ、内部クロック信号CLKに同期してセクタ54から与えられたデータを取込みかつデータ入出力端子6へ出力する出力回路56を含む。この出力回路56は内部にラッチ回路を備えており、出力活性化信号OEMの活性化時この内部クロック信号CLKに同期してセクタ54から与えられたデータを取込み次いでラッチして出力する。次に、この図23に示すデータ読出部の動作を図24および図25に示すタイミングチャート図を参照して説明する。

【0159】まず、図24を参照してCASレイテンシが3に設定された場合のデータ読出動作について説明する。このデータ読出時においてもバースト長は4であり、また最下位コラムアドレス信号Y0が“0”に設定され、メモリアレイ1a aの列が指定された場合の動作について説明する。

【0160】図24に示すように、クロックサイクル#0においてリードコマンドが与えられると、図2に示す制御信号発生回路13から読出動作指示信号φRが出力される（活性化される）。この読出動作指示信号φRの活性化に従って、読出動作活性化信号RDEがバースト長期間活性化状態のHレベルとされる。この読出動作指示信号φRに従って、そのときに与えられたコラムアドレス信号に従って列選択動作が行なわれ、対応の列選択線CSLが選択状態へ駆動される。このリードコマンドが与えられたクロックサイクル#0において、まずリードバッファ活性化信号PAEA0が活性化状態とされ、リードバッファ50 aが活性化され、内部データバス5a a上のデータを増幅して出力する。このリードバッファ活性化信号PAEA0の活性化にตอบสนองして、次いでレジスタ活性化信号RRA0が活性化され、リード用レジスタ5

2 aが、このリードバッファ50 aから与えられたデータを取込みかつラッチする。したがって、このクロックサイクル#0において、リード用レジスタ52 aには、メモリアレイ1a aから読出されたデータA0が格納される。次いで、クロックサイクル#1においてリードバッファ活性化信号PAEA1が活性化状態とされ、リードバッファ50 bが活性化されてメモリアレイ1a bから読出されたデータを増幅してリード用レジスタ52 bへ与える。このリード用レジスタ52 bは、レジスタ活性化信号RRA1の活性化にตอบสนองして活性化されてリードバッファ50 bから与えられたデータを取込みラッチする。したがって、このクロックサイクル#1において、リードレジスタ52 bの出力データが、メモリアレイ1a bから読出されたデータA1となる。このクロックサイクル#1において、選択信号SELは、選択信号SEL0が活性化状態となり、リード用レジスタ52 aに格納されたデータが選択されて出力される。したがって、クロックサイクル#1において、セクタ54の出力信号がデータA0となる。出力イネーブル信号OEMはまだ非活性化状態であり、出力回路56は、データの取込を行なわない。

【0161】次いでクロックサイクル#2において、一旦列選択部がリセットされ、次いでYアドレスオペレーション回路（図2参照）からのバーストアドレスに従って別の列が選択状態へ駆動される。このクロックサイクル#2において列選択動作完了後、リードバッファ活性化信号PAEA0が再び活性化状態へ駆動され、次いでレジスタ活性化信号RRA0が活性化状態へ駆動される。これにより、クロックサイクル#2においてリード用レジスタ52 aの格納データがデータA0から新たに読出されたデータA2に変化する。このクロックサイクル#2において、出力イネーブル信号OEMが活性化状態へ立上がり、出力回路56が作動状態とされ、内部クロック信号CLKの立上がりに同期して、セクタ54から与えられたデータを取込みラッチし、次いで出力する。したがって、この出力回路56からは、クロックサイクル#2の途中からデータA0が出力され、クロックサイクル#3における内部クロック信号CLKの立上がりエッジでデータA0が確定状態となる。一方、このクロックサイクル#2において、セクタ56が、次の選択信号SEL1に従ってリード用レジスタ52 bに格納されたデータを選択して出力する。出力回路56は内部クロック信号CLKに同期するラッチ回路を備えており、このセクタ54から出力されたデータA1の出力回路56による取込はまだ行なわれない。

【0162】クロックサイクル#3において、再びリードバッファ50 bがリードバッファ活性化信号PAEA1の活性化にตอบสนองして活性化され、メモリアレイ1a bから読出されたデータを増幅してリード用レジスタ52 bに与える。次いで、リードレジスタ52 bが、レジス

タ活性化信号RRA1の活性化にตอบสนองしてリードバッファ50bから与えられたデータを取込みラッチする。したがってリード用レジスタ52bの格納データが、クロックサイクル#3において、データA1からデータA3に変化する。このクロックサイクル#3において、内部クロック信号CLKの立上がり同期して、出力回路56がセクタ54の出力データを取込みラッチして出力する。したがって、出力回路56の出力データがデータA0からデータA1に変化する。このクロックサイクル#3において、再びセクタ54が選択信号SEL0の活性化に従ってリード用レジスタ52aの格納データを選択して出力する。

【0163】次いで、クロックサイクル#4において、セクタ56が選択信号SEL1に従って、リード用レジスタ52bに格納されたデータA3を選択する。このクロックサイクル#4においては、出力回路56は、セクタ54から与えられていたデータの取込を行ない、次いでラッチしてデータA2を出力する。クロックサイクル#5において、出力回路56が、セクタ54から与えられたデータをクロックサイクル#5の内部クロック信号CLKの立上がりエッジで取込みラッチし、この出力データがデータA2からデータA3に変化する。したがって、出力回路56からは、クロックサイクル#3からクロックサイクル#6にわたって、内部クロック信号（外部クロック信号）の立上がりエッジで確定状態となるデータが出力される。

【0164】リードコマンドが与えられてから最初の有効データが出力されるまでに3クロックサイクルが必要とされており、したがってCASレイテンシが3である。データ読出し時においても、CASレイテンシが3の場合には、いわゆるパイプライン方式のデータ読出しが行われており、リードバッファ50aおよび50bが交互に活性状態とされ、順次、内部クロック信号CLKに従って伝達されている。

【0165】次に、図25を参照して、CASレイテンシが4に設定された場合の動作について説明する。

【0166】クロックサイクル#0においてリードコマンドが与えられ、読出動作指示信号φRが所定期間活性状態のHレベルとなり、応じて読出動作活性化信号RDEがバースト長期間Hレベルの活性状態となる。この読出動作活性化信号RDEの活性化にตอบสนองして、リードコマンドと同時に与えられたアドレス信号をコラムアドレス信号として列選択動作が行なわれ、対応の列選択信号CSLがHレベルの活性状態となる。

【0167】CASレイテンシが4の場合において、このリードコマンドが与えられたクロックサイクル#0においては、リードバッファ50aおよび50bの活性化は行なわれない。

【0168】クロックサイクル#1において、リードバッファ活性化信号PAEA0およびPAEA1ならびに

レジスタ活性化信号RRA0およびRRA1が活性状態となり、メモリアレイ1aaおよび1abからそれぞれ内部データバス5aaおよび5ab上に読出されたデータの増幅およびラッチが行なわれる。これにより、リード用レジスタ52aおよび52bの格納データが、それぞれ、メモリアレイ1aaおよび1abから読出されたデータA0およびA1となる。

【0169】クロックサイクル#2においては、選択信号SEL0が所定期間活性状態となり、リードレジスタ52aの格納データがセクタ54により選択されて出力回路56へ与えられる。このクロックサイクル#2においては、出力イネーブル信号OEMはまだ非活性状態のLレベルであり、出力回路56は、データの取込は行なわない。

【0170】クロックサイクル#2においては、またバーストアドレスに従って新たな列の選択が行なわれている。

【0171】クロックサイクル#3において、再びリードバッファ活性化信号PAEA0およびPAEA1が活性状態とされ、メモリアレイ1aaおよび1abの新たに読出されたデータの増幅が行なわれ、次いでレジスタ活性化信号RRA0およびRRA1の活性化に従ってこの増幅されたデータがリードレジスタ52aおよび52bにそれぞれ格納される。これにより、リード用レジスタ52aおよび52bの格納データが、このクロックサイクル#3においてデータA2およびA3にそれぞれ変化する。

【0172】一方、クロックサイクル#3において、選択信号SEL1が活性状態となり、セクタ54がリードレジスタ52bの格納データA1を選択して出力する。一方、クロックサイクル#3において、出力イネーブル信号OEMがHレベルとなり、出力回路56は、このクロックサイクル#3においてセクタ54から与えられているデータA0を取込みラッチし、次いで出力する。したがって、この出力回路56からのデータA0は、クロックサイクル#4のクロック信号CLKの立上がりエッジにおいて確定状態となる。

【0173】一方、クロックサイクル#4および#5それぞれにおいて選択信号SEL0およびSEL1が所定期間活性状態となり、応じてセクタ56が順次リードレジスタ52aおよび52bに格納されたデータA2およびA3をそれぞれ選択して出力する。出力回路56は、出力イネーブル信号OEMの活性化時、この内部クロック信号CLKの立上がり同期して、セクタ56から与えられたデータを取込みラッチし、次いで出力する。したがって、クロックサイクル#5、#6、および#7において、それぞれデータA1、A2およびA3が確定状態となる。

【0174】上述の一連の動作により、CASレイテンシが4に設定された場合に、いわゆる2ビットプリフェ

ッチ動作を行なって、データを順次読出すことができる。

【0175】なお、図25に示す動作シーケンスにおいて、レジスタ活性化信号RRA0およびRRA1もリードバッファ活性化信号PAEA0およびPAEA1に従って同時に活性状態とされている。しかしながら、このリードレジスタ活性化信号RRA0およびRRA1は、図24に示すように、各クロックサイクルごとに交互に活性状態となるようにしてもよい。

【0176】クロックサイクル#7において、出力イネーブル信号OEMが、必要な4ビットのバースト長のデータが読出されたため、非活性状態となる。次に各部の構成について簡単に説明する。

【0177】図26は、選択信号発生部の構成を概略的に示す図である。図26において、選択信号発生部32jは、読出動作指示信号φRの活性化に従って内部コラムアドレス信号ビットY0を取込み、次いで読出動作活性化信号RDEの活性期間中活性状態とされ、内部クロック信号CLKに従って順次転送動作を行なって基本選択信号φSER0およびφSER1を出力する。この選択信号発生部32jの内部構成は、先の図11に示す構成と同じである。この選択信号発生部32jにより、メモリアレイ1aaおよび1abのいずれを先に選択するかをアドレス信号の最下位ビットY0に従って決定する。最下位アドレスビットY0が“0”のときには、基本選択信号φSER0が先に活性状態とされ、一方、ビットY0が“1”のときには、信号φSER1が先に活性状態とされる。

【0178】図27(A)は、リードバッファ活性化信号発生部32kの構成の一例を概略的に示す図である。図27(A)において、リードバッファ活性化信号発生部32kは、読出動作指示信号φRの活性化にตอบสนองして最下位アドレス信号ビットY0をラッチするラッチ32kaと、基本選択信号φSER0とラッチ30kaの出力信号Y0aを受けるAND回路32kbと、ラッチ32kaからの反転ビット／Y0aと基本選択信号φSER1を受けるAND回路32kcと、AND回路32kbおよび32kcの出力信号を受けるOR回路32kdと、基本選択信号φSER0およびφSER1とOR回路32kdの出力信号φPAEの一方を選択するモード設定回路32keを含む。

【0179】モード設定回路32keは、CASレイテンシ4指示信号MCL4に従って、基本選択信号φSER0およびOR回路32kdの出力信号φPAEの一方を選択する選択回路32ke0と、CASレイテンシ4指示信号MCL4に従って、基本選択信号φSER1と信号φPAEの一方を選択する選択回路32ke1を含む。選択回路32ke0からリードバッファ活性化信号φPAE0が出力され、選択回路32ke1からリードバッファ活性化信号φPAE1が出力される。選択回路3

2ke0および32ke1は、信号MCL4がCASレイテンシが4を示す場合には、OR回路32kdからの信号φPAEを選択し、そうでない場合には、基本選択信号φSER0およびφSER1を選択する。次に、この図27(A)に示すリードバッファ活性化信号発生部の動作を図27(B)に示すタイミングチャート図を参照して説明する。

【0180】クロックサイクル#0において、リードコマンドが与えられ、読出動作指示信号φRが活性状態となり、ラッチ32kaがビットY0をラッチする。このクロックサイクル#0におけるビットY0が“0”(Lレベル)の場合には、基本選択信号φSER0がこのクロックサイクル#0において活性状態となる。ラッチ32kaの出力信号Y0aがLレベル、信号／Y0aがHレベルであり、AND回路32kbの出力信号はLレベルであり、一方、AND回路32kcがイネーブル状態となる。したがって、このクロックサイクル#0においては、OR回路32kdの出力信号φPAEはLレベルを維持する。

【0181】クロックサイクル#1において、基本選択信号φSER1が所定期間Hレベルの活性状態となる。したがって、AND回路32kcの出力信号は同様にHレベルに立上がり、したがって、信号φPAEがこのクロックサイクル#1において、所定期間Hレベルに立上がる。

【0182】クロックサイクル#2において、再び基本選択信号φSER0が所定期間Hレベルとなり、AND回路32kdの出力信号はLレベルであり、信号φPAEは発生されない(活性化されない)。

【0183】クロックサイクル#3において、再び基本選択信号φSER1が所定期間Hレベルの活性状態となると、応じてAND回路32kcおよびOR回路32kdを介して信号φPAEがHレベルの活性状態となる。

【0184】バースト長が4の場合には、クロックサイクル#3に働いて4ビットデータの内部読出動作が完了する。

【0185】一方、クロックサイクル#6において、再びリードコマンドが与えられ、読出動作指示信号φRが所定期間Hレベルの活性状態となる。このとき、最下位コラムアドレス信号ビットY0がHレベル(“1”)に設定されると、基本選択信号φSER1がクロックサイクル#6において所定期間活性状態となる。この状態において、ラッチ32kaの出力信号Y0aがHレベルであり、一方、信号／Y0aはLレベルとなる。したがって、AND回路32kcは、出力信号がLレベルに固定され、一方、AND回路32kbがイネーブルされてバッファとして動作する。

【0186】クロックサイクル#7において、基本選択信号φSER0が内部クロック信号CLKの立上がりに同期して所定期間Hレベルの活性状態となると、応じて

AND回路32kbおよびOR回路32kdにより、信号φPAEがHレベルの活性状態となる。

【0187】クロックサイクル#8において、基本選択信号φSER1がHレベルとなる。しかしながら、AND回路32kbにより、信号φPAEはLレベルを維持する。

【0188】クロックサイクル#9において、再び基本選択信号φSER0が活性化されると、応じてAND回路32kbおよびOR回路32kdにより、信号φPAEが所定期間Hレベルの活性状態となる。

【0189】モード設定回路32keは、CASレイテンシ4指示信号MCL4に従って、信号φPAEまたは信号φSER0およびφSER1を選択する。したがって、このCASレイテンシが4に設定されている場合には、信号φPAEに従って、リードバッファ活性化信号PAE0およびPAE1が出力され、そうでない場合には、リードバッファ活性化信号PAE0およびPAE1は、基本選択信号φSER0およびφSER1に従って活性化される。

【0190】上述のようにして、CASレイテンシ情報に従って、データ読出モードの2ビットプリフェッチ方式およびパイプライン方式のいずれかに任意に設定することができる。

【0191】図28は、リードレジスタ活性化信号発生部の構成を概略的に示す図である。リードレジスタ活性化信号RRA0およびRRA1は同様の回路構成により発生されるため、図28においては、リードレジスタ活性化信号RRA0に対する構成を示す。図28において、リードレジスタ活性化信号発生部321は、リードバッファ活性化信号PAE0の活性化にตอบสนองして所定の時間幅を有するワンショットのパルスが発生するワンショットパルス発生回路321aを含む。このワンショットパルス発生回路321aから、リードレジスタ活性化信号RRA0が出力される。リードレジスタ活性化信号RRA1は、リードバッファ活性化信号PAE1に対して設けられたワンショットパルス発生回路から出力される。

【0192】この図28に示すように、リードバッファ活性化信号に従ってリードレジスタ活性化信号を出力しており、データ転送モードに応じて、リードレジスタ活性化信号を容易に生成することができる。

【0193】図29は、選択信号発生部の構成を概略的に示す図である。図29において、選択信号発生部32mは、基本選択信号φSEL0を内部クロック信号CLKに従ってシフトするシフト回路32maと、基本選択信号φSEL1を内部クロック信号CLKに従って順次シフトするシフト回路32mbを含む。シフト回路32maおよび32mbのシフト段数は、CASレイテンシ指示データMCLに従って定められる。CASレイテンシが4に設定された場合には、このシフト回路32ma

および32mbは基本選択信号φSER0およびφSER1を2クロックサイクル期間遅延させる。一方、CASレイテンシが3に設定された場合には、シフト回路32maおよび32mbは、基本選択信号φSER0およびφSER1を1クロックサイクル期間遅延する。このシフト回路32maおよび32mbは、多段のシフト回路で構成され、そのシフト段数が、CASレイテンシデータMCLに従って決定される。これにより、CASレイテンシデータに従ってCASレイテンシー1クロックサイクル目にセレクトから必要とされるデータを出力することができる。

【0194】図30は、出力イネーブル信号OEMおよび読出動作活性化信号RDEを発生する部分の構成を概略的に示す図である。図30において、制御信号発生部は、読出動作指示信号φRの活性化にตอบสนองして利用され、内部クロック信号CLKをバースト長で示す数カウントするバースト長カウンタ32naと、読出動作指示信号φRの活性化にตอบสนองしてセットされ、バースト長カウンタ32naのカウントアップ信号にตอบสนองしてリセットされるセット/リセットフリップフロップ32nbと、セット/リセットフリップフロップ32nbの出力信号を、内部クロック信号CLKに従って(レイテンシー1)サイクル、シフト動作により遅延させて出力するレイテンシー1カウンタ32ncを含む。

【0195】セット/リセットフリップフロップ32nbの出力Qから読出動作活性化信号RDEが出力され、レイテンシー1カウンタ32ncから出力イネーブル信号OEMが出力される。したがって、出力イネーブル信号OEMは、読出動作活性化信号RDEをレイテンシー1クロックサイクル遅延させた信号となり、レイテンシが示すクロックサイクルの前のサイクルからバースト長期間活性状態となる。

【0196】以上のように、この発明の実施の形態2に従えば、データ読出部においても、CASレイテンシ情報に従って、パイプライン方式および2ビットプリフェッチ方式の一方を自動的に選択するように構成しているため、ユーザは内部のデータ読出方式を何ら意識することなく動作環境に応じた最適モードでSDRAMを動作させることができ、ユーザフレンドリーなSDRAMを実現することができる。

【0197】[実施の形態3] 図31は、この発明の実施の形態3に従うSDRAMの第1のデータ書込モードを示すタイミングチャート図である。図31に示すように、この第1の書込モードにおいては、外部クロック信号extCLKの立上がりエッジに同期して書込データD0、D1、D2、およびD3が順次取込まれて格納される。すなわち、外部クロック信号extCLKの立上がりエッジのみを利用して、データの転送が行なわれる。このデータ転送は、「シングルデータレート」と呼ばれる。

【0198】図32(A)は、この発明の実施の形態3に従うSDRAMの第2のデータ書込モードを示す図である。図32(A)に示すように、外部クロック信号extCLKはデューティ比が50%であり、この外部クロック信号extCLKの立上がりエッジおよび立下がりエッジを利用してデータの書込が行なわれる。したがって、書込データD0~D7、…は、外部クロック信号extCLKの2倍の速度で書込まれる。すなわち、データ転送が、外部クロック信号extCLKの2倍の速度で行なわれ、このデータ転送を「ダブルデータレート」と呼ぶ。

【0199】図32(B)は、ダブルデータレートデータ転送の他の例を示す図である。図32(B)においては、外部クロック信号extCLKはデューティ比が50%よりも小さい。データ転送は、外部クロック信号extCLKの立上がりエッジおよび連続する2つの立上がりエッジの中心点を用いて行なう。したがって、この図32(B)に示すデータ転送においても、外部クロック信号extCLKの2倍の速度でデータ転送を行なうことができる。このシングルデータレートおよびダブルデータレートは、データ書込においても、またデータ読出においても行なわれる。

【0200】図33は、この発明の実施の形態3に従うSDRAMの周辺部の構成を概略的に示す図である。この発明の実施の形態3に従うSDRAMのメモリアレイ部の構成は、図1に示す構成と同じである。

【0201】図33において、SDRAMは、さらに、モードレジスタ60から与えられるデータレート指示信号DRTに従って選択的に活性化され、クロック入力バッファ34から与えられる内部クロック信号CLKを周波数2逓倍する2逓倍回路62を含む。他の構成は図2に示す構成と同じであり、対応する部分には同一の参照番号を付す。

【0202】この2逓倍回路62からの内部クロック信号CLK2は、クロックカウンタ17およびYアドレスオペレーション回路16へ与えられる。2逓倍回路62は、データレート指示信号DRTがシングルデータレートを示すときには、クロック入力バッファ34からのクロック信号をバッファ処理して出力する。一方、このデータレート指示信号DRTがダブルデータレートを示すときには、活性化されてクロック入力バッファ34から与える内部クロック信号の周波数2逓倍して内部クロック信号CLK2を生成する。Yアドレスオペレーション回路16が2逓倍内部クロック信号CLK2に従って動作する場合、内蔵のバーストアドレスカウンタのカウントサイクルが、先の実施の形態1および2の構成に比べて2倍となり、列選択期間が短くなる。

【0203】また同様、クロックカウンタ17も、この2逓倍内部クロック信号CLK2に従って動作する場合、バースト長期間およびCASレイテンシ期間が実施

の形態1および2の場合と比べて半分になる。

【0204】制御信号発生回路32は、この2逓倍回路62からの2逓倍内部クロック信号CLK2に従って動作する。したがって、実施の形態1および2において、内部クロック信号CLKをすべて2逓倍内部クロック信号CLK2に置換えれば、外部クロック信号の2倍の速度で列選択およびデータ転送を行なうSDRAMが実現される。

【0205】この制御信号発生回路32は、モードレジスタ60に格納されたデータレート指示信号DRPに従ってデータ転送モードを切替える。このデータ転送指示信号DRTは、先の実施の形態1および2におけるCASレイテンシ4指示信号MCL4に代えて用いられる。モードレジスタ60は、バースト長データおよびCASレイテンシデータを格納するのと同じレジスタ回路であり、モードレジスタセット指示信号φMに従って活性状態とされ、外部アドレス信号の所定のビットを取込み、データレート指示信号として格納する。

【0206】図34は、図33に示す制御信号発生回路32およびクロックカウンタ17の回路構成を概略的に示す図である。この制御信号発生回路は、ライト動作指示信号φWの活性化に従って活性化され、内部クロック信号CLK2に従ってデータ書込に必要な内部制御信号を発生する書込制御回路64と、読込動作指示信号φRの活性化にตอบสนองして活性化され、内部クロック信号CLK2に同期して、データ読出に必要な動作を行なう読出制御回路66と、データレート指示信号DRTに従って、書込制御回路64および読出制御回路66のデータ転送方式を切替えるモード切替回路68を含む。書込制御回路64は、先の実施の形態1に示す制御信号発生部の構成に対応し、読出制御回路66は先の実施の形態2における内部制御信号発生部の構成に対応する。モード切替回路68は、図16および図27(A)に示すモード設定回路に対応する。

【0207】図35に示すように、データレート指示信号DRTがダブルデータレートに設定された場合、2逓倍回路62が活性状態となり、内部クロック信号CLKの周波数を2逓倍して2逓倍内部クロック信号CLK2を生成する。その場合、したがって、外部クロック信号extCLKおよび内部クロック信号CLKの周期が2Tであるのに対して、2逓倍内部クロック信号CLK2の周期がTとなる。したがって、書込制御回路64および読出制御回路66がともにこの2逓倍内部クロック信号CLK2に従って動作しているため、内部でのデータ転送は2逓倍クロック信号CLK2の立上がり同期して行なわれており、外部クロック信号extCLKの立上がりエッジおよび連続する外部クロック信号の立上がりエッジの中間点において、データの入出力を行なうことができる。

【0208】一方、図36に示すように、データレート

指示信号DRTがシングルデータレートを示す場合には、2逓倍回路62は非活性状態とされ、内部クロック信号CLK2を通過させる。したがって、内部クロック信号CLKおよびCLK2は同一の周波数の信号であり、読出制御回路66および書込制御回路64は、ともに、内部クロック信号CLKと同じ内部クロック信号CLK2の立上がりエッジに同期してデータ転送を行なう。したがって、このシングルデータレートにおいては、内部クロック信号CLK2の立上がりエッジに同期してデータの入出力が行なわれるため、外部クロック信号extCLKの立上がりエッジでのみデータの入出力が行なわれる。

【0209】なお、このデータ転送モードを切替える構成は、先の実施の形態1および実施の形態2において、それぞれ信号MCLK4に代えて、信号DRTを用い、また内部クロック信号CLKに代えて内部クロック信号CLK2を用いることにより実現される。

【0210】以上のように、この発明の実施の形態3に従えば、データ入出力速度を示すデータレートに従って、内部データ転送方式を設定するように構成しているため、ユーザは、用いられるデータ転送レートを意識することなく最適な動作モードでSDRAMを動作させることが可能となる。

【0211】[他の適用例] 上述の発明において、2ビットプリフェッチ動作が説明されている。しかしながら、プリフェッチされるデータは、2ビットでなく、たとえば4ビットと他の数が用いられてもよい。また、2ビットプリフェッチ方式において、別々のメモリアレイから1ビットずつデータが転送されている。しかしながら、1つのメモリアレイにおいて、偶数列および奇数列を設け、この1つのアレイ内において偶数列および奇数列からのデータのプリフェッチが行なわれる構成が用いられてもよい。

【0212】また、CASレイテンシの4を基準とせず、別のCASレイテンシによりデータ転送モードが切換えられてもよい。

【0213】さらに、上述の説明においては、SDRAMが一例として示されている。しかしながら、外部クロック信号に同期して動作する半導体記憶装置であれば、本発明は適用可能である。

【0214】

【発明の効果】以上のように、この発明に従えば、モードレジスタに設定された動作モード指示信号に従って内部データ転送モードを切替えるように構成したため、ユーザは内部データ転送モードを意識することなく最適な動作モードで半導体記憶装置を動作させることができる。また、1種類の半導体記憶装置を用いて複数の動作モードを容易に実現することができる。

【0215】すなわち、請求項1に係る発明に従えば、データ書込時メモリアレイの選択メモリへ内部クロック

信号に同期してデータを書込むためのデータ書込手段の動作モードを、モードレジスタに格納された動作モード指定信号に従って各サイクルごとに異なるメモリセルへ異なるデータを書込むパイプラインモードおよび内部クロック信号の複数サイクルを単位として複数のメモリセルへ異なるデータを書込むプリフェッチモードの一方に設定するように構成しているため、1つの半導体記憶装置を用いて内部動作モードを動作環境に合わせた最適モードに容易に設定することが可能となる。

【0216】請求項2に係る発明に従えば、モードレジスタに設定されるデータはCASレイテンシデータであり、このCASレイテンシデータは用いられるクロックサイクルの長さに対応しており、容易に動作環境に合わせて内部モードを最適なデータ転送モードに設定することができる。

【0217】請求項3に係る発明に従えば、モードレジスタに格納されるデータが、外部クロック信号と同一周期または2倍の周期でデータ入出力を行なうデータレート指示信号であり、そのデータレート指示信号に従って内部データ転送モードを切替えることにより、容易に1つの半導体記憶装置を用いてシングルデータレートおよびダブルデータレートいずれにも適用することが可能となる。

【0218】請求項4に係る発明に従えば、内部クロック信号の複数サイクルごとにメモリアレイから複数のメモリセルを同時に選択して書込手段に結合するように構成しているため、列選択系の動作は、内部データ転送モードにかかわらず同じであり、内部構成を複雑に変更することなく容易に複数の動作モードに対応することができる。

【0219】請求項5に係る発明に従えば、書込バッファが、書込モード時には順次巡回的に活性化され、プリフェッチモード時には内部クロック信号のクロックサイクルを単位として1サイクル内で同時に活性状態とされる状態を有するように活性化されかつ同時に非活性化されているため、単にこの書込バッファ手段における活性化タイミングを切替えるだけで、内部データ転送モードを容易に切替えることが可能となる。

【0220】請求項6に係る発明に従えば、書込バッファに対応して内部クロック信号の各サイクルごとに順次活性化されてデータを保持する複数の書込手段を設けており、確実にパイプラインモードおよびプリフェッチモードいずれにおいても書込データを書込バッファへ伝達して、選択メモリセルへ書込むことが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。

【図2】 この発明の実施の形態1に従う半導体記憶装置の周辺回路部の構成を概略的に示す図である。

【図3】 図2に示すモードレジスタへのデータ設定時

の制御信号のタイミング関係を示す図である。

【図4】 図2に示すモードレジスタの構成を概略的に示す図である。

【図5】 クロック信号とCASレイテンシとの関係を示す図である。

【図6】 この発明の実施の形態1における半導体記憶装置のCASレイテンシが4の場合のデータ書込動作を示すタイミングチャート図である。

【図7】 この発明の実施の形態1に従う同期型半導体記憶装置のCASレイテンシが3に設定された場合のデータ書込動作を示すタイミングチャート図である。

【図8】 図2に示すクロックカウンタの構成を概略的に示す図である。

【図9】 図2に示す制御信号発生回路に含まれる入力バッファ活性化信号発生部の構成を概略的に示す図である。

【図10】 図9に示す入力バッファ活性化信号発生部の動作を示すタイミングチャート図である。

【図11】 図1に示すセレクトに与えられる選択信号発生部の構成を示す図である。

【図12】 図11に示す選択信号発生部の動作を示すタイミングチャート図である。

【図13】 図11に示す書込動作活性化信号発生部の構成を概略的に示す図である。

【図14】 図13に示す書込動作活性化信号発生部の動作を示すタイミングチャート図である。

【図15】 図1に示すライト用レジスタ活性化信号発生部の構成を概略的に示す図である。

【図16】 図2に示す制御信号発生回路に含まれるライトバッファリセット信号発生部の構成を示す図である。

【図17】 図16に示す回路の動作を示すタイミングチャート図である。

【図18】 図1に示すライトバッファ活性化信号発生部の構成を示す図である。

【図19】 図18に示すライトバッファ活性化信号発生部の動作を示すタイミングチャート図である。

【図20】 図2に示すYアドレスオペレーション回路および周辺制御部の構成を概略的に示す図である。

【図21】 図20に示す回路の動作を示すタイミングチャート図である。

【図22】 図1に示すデータ書込経路の各部の構成の一例を示す図である。

【図23】 この発明の実施の形態2に従う半導体記憶装置のデータ読出部の構成を概略的に示す図である。

【図24】 この発明の実施の形態2に従う半導体記憶装置のCASレイテンシが3の場合のデータ読出動作を示すタイミングチャート図である。

【図25】 図23に示す半導体記憶装置のCASレイテンシが4のときのデータ読出動作を示すタイミングチャート図である。

ャート図である。

【図26】 この発明の実施の形態2における半導体記憶装置の選択信号発生部の構成を概略的に示す図である。

【図27】 (A)は、この発明の実施の形態2における半導体記憶装置のリードバッファ活性化信号発生部の構成を概略的に示し、(B)は、(A)に示す回路の動作を示すタイミングチャート図である。

【図28】 図23に示すリード用レジスタ活性化信号発生部の構成を概略的に示す図である。

【図29】 図23に示すセレクトへ与えられる選択信号発生部の構成を概略的に示す図である。

【図30】 図23に示す出力イネーブル信号発生部の構成を概略的に示す図である。

【図31】 シングルデータレートでのデータ書込動作を示すタイミングチャート図である。

【図32】 (A)および(B)は、それぞれダブルデータレートでのデータ書込タイミングを示す図である。

【図33】 この発明の実施の形態3に従う半導体記憶装置の周辺回路部の構成を概略的に示す図である。

【図34】 図33に示す制御信号発生回路の内部構成を概念的に示す図である。

【図35】 図33に示す2通倍回路のダブルデータレート設定時の動作を示す信号波形図である。

【図36】 図33に示す2通倍回路のシングルデータレート設定時における動作を示すタイミングチャート図である。

【図37】 従来の同期型半導体記憶装置におけるデータ読出動作を示すタイミングチャート図である。

【図38】 従来の同期型半導体記憶装置におけるデータ書込動作を示すタイミングチャート図である。

【図39】 従来の2ビットプリフェッチ方式同期型半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図40】 従来の2ビットプリフェッチ方式同期型半導体記憶装置の周辺回路部の構成を概略的に示す図である。

【図41】 図39および図40に示す半導体記憶装置のデータ書込動作を示すタイミングチャート図である。

【図42】 従来のパイプライン方式同期型半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図43】 従来のパイプライン方式同期型半導体記憶装置の周辺回路部の構成を概略的に示す図である。

【図44】 図42および図43に示す同期型半導体記憶装置の動作を示すタイミングチャート図である。

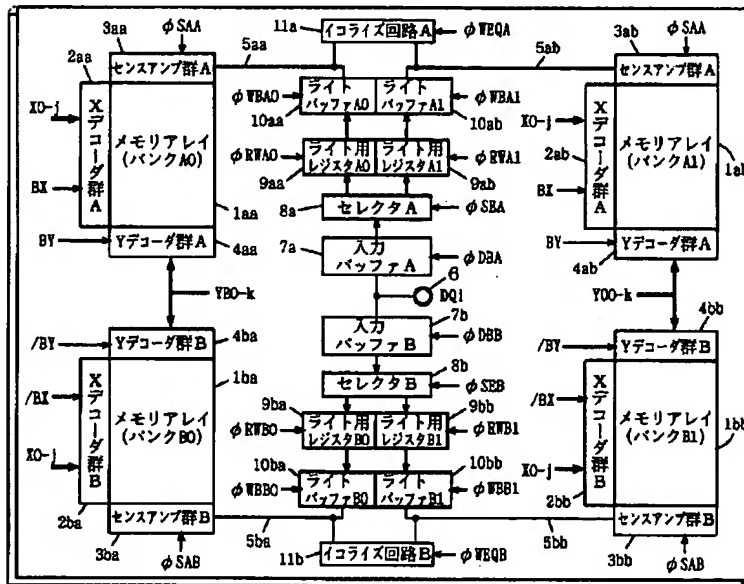
【符号の説明】

1aa, 1ab, 1ba, 1bb メモリアレイ、2aa, 2ab, 2ba, 2bb Xデコード群、3aa, 3ab, 3ba, 3bb センスアンプ群、4aa, 4ab, 4ba, 4bb Yデコード群、5aa, 5a

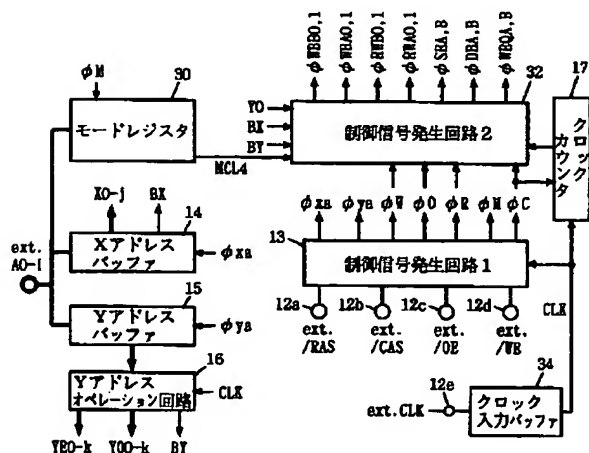
b, 5ba, 5bb 内部データバス、6 データ出力端子、7a, 7b 入力バッファ、8a, 8b セクタ、9aa, 9ab, 9ba, 9bb ライト用レジスタ、10aa, 10ab, 10ba, 10bb ライトバッファ、11a, 11b イコライズ回路、15 Yアドレスバッファ、16 Yアドレスオペレーション回路、17 クロックカウンタ、30 モードレジスタ、32 制御信号発生回路、34 クロック入力バッファ、32a セット/リセットフリップフロップ、32b, 32c AND回路、32d 選択信号発生部、32e 書込動作活性化信号発生部、32f ワンショットパルス発生回路、32g ライトバッファリセット

信号発生部、32h ライトバッファ活性化信号発生部、16a アドレス制御回路、16ba バーストアドレスカウンタ、32i コラムアドレス変化検出回路、50a, 50b リードバッファ、52a, 52b リード用レジスタ、54 セクタ、56 出力回路、32j 制御信号発生部、32k リードバッファ活性化信号発生部、32ke モード設定回路、32gr モード設定回路、32l レジスタ活性化信号発生部、32m 選択信号発生部、32nc レイテンシーカウンタ、32na バースト長カウンタ、60 モードレジスタ、62 2進倍回路、64 書込制御回路、66 読出制御回路、68 モード切換回路。

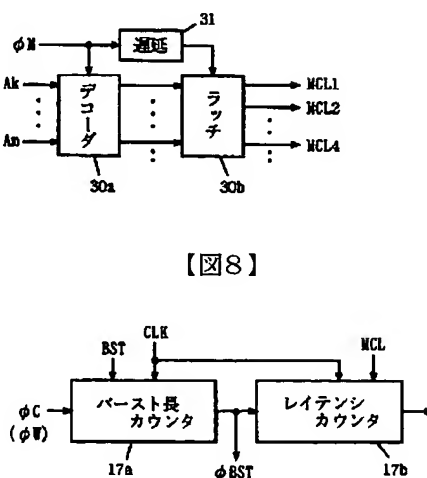
【図1】



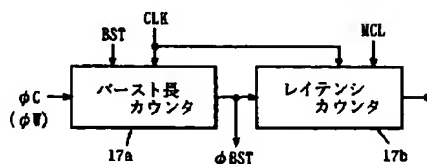
【図2】



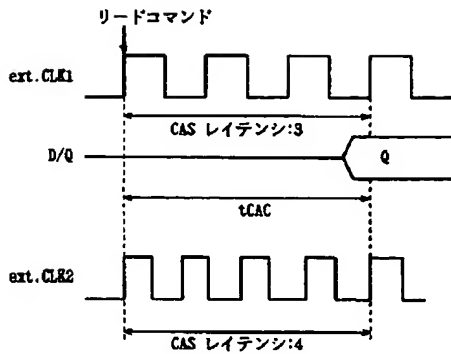
【図4】



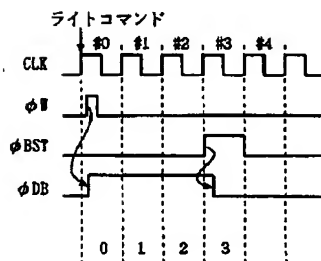
【図8】



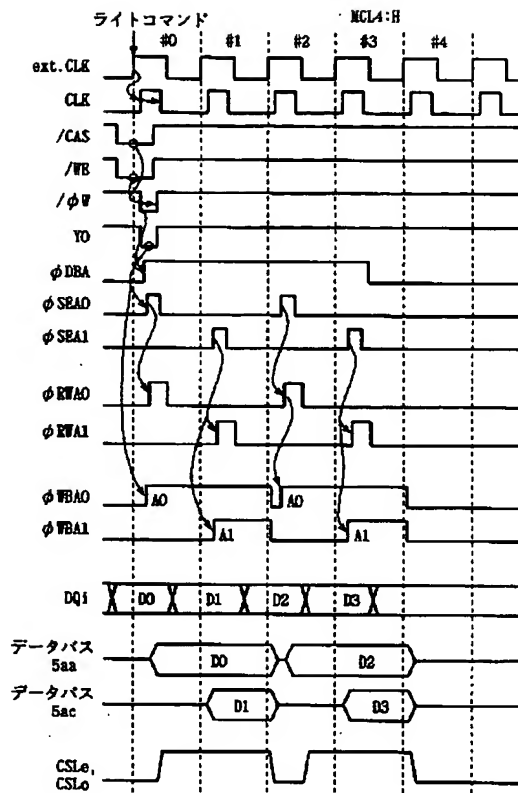
【図5】



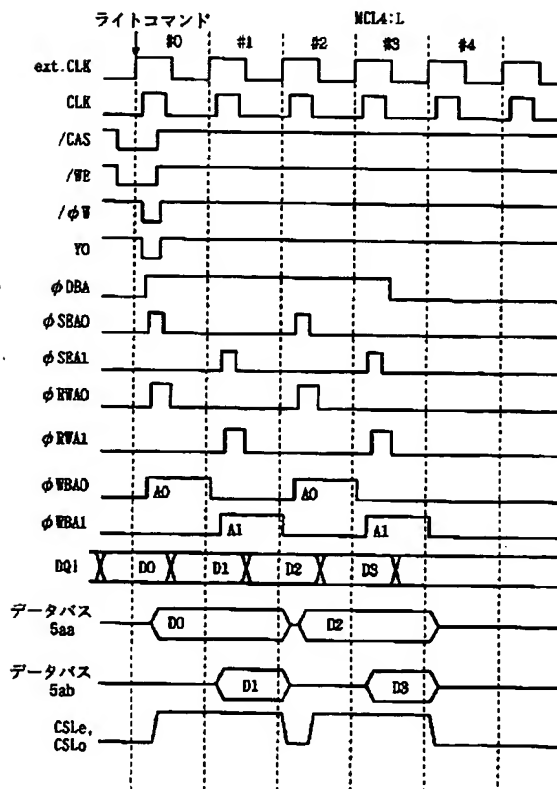
【図10】



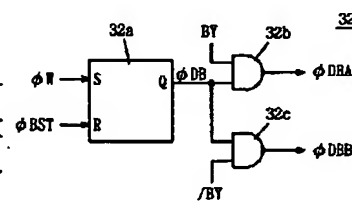
【図6】



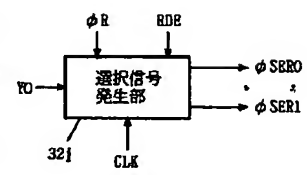
【図7】



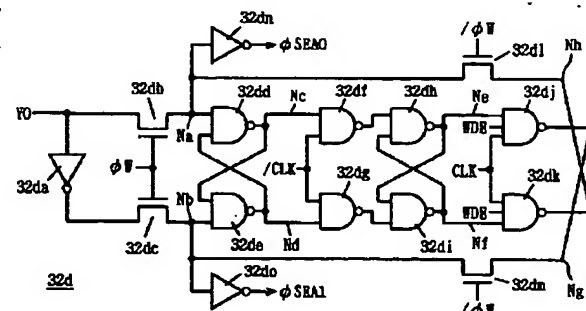
【図9】



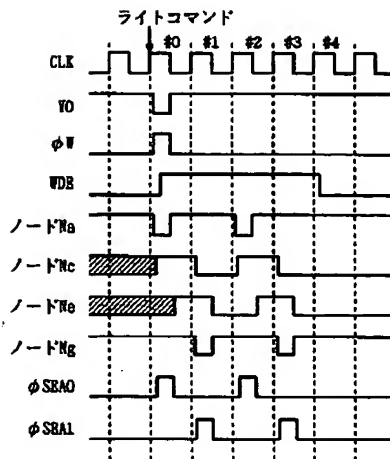
【図26】



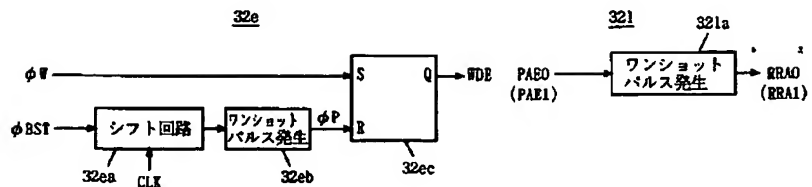
【図11】



【図12】

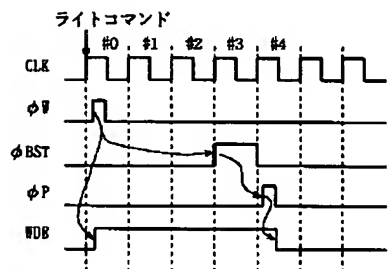


【図13】

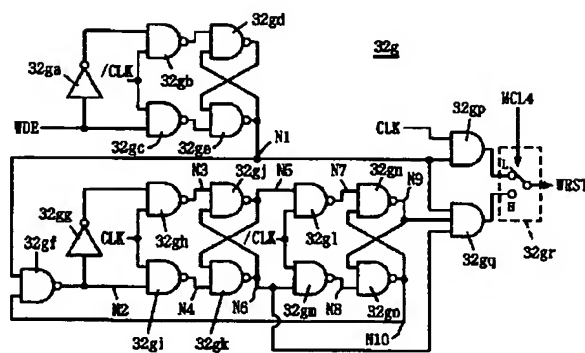


【図28】

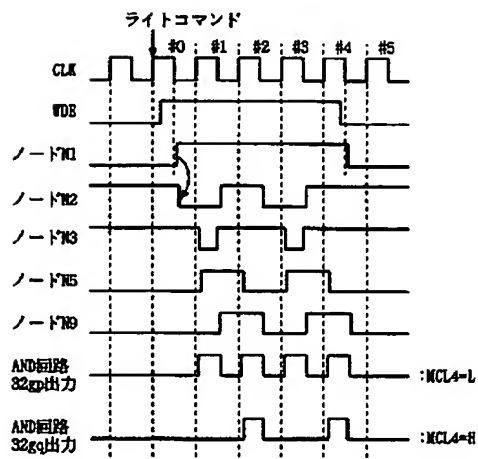
【図14】



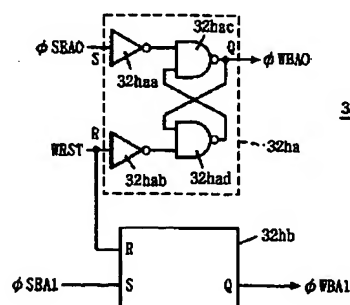
【図16】



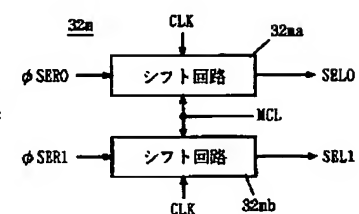
【図17】



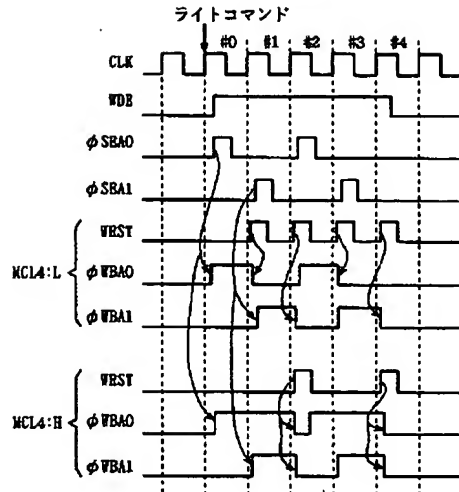
【図18】



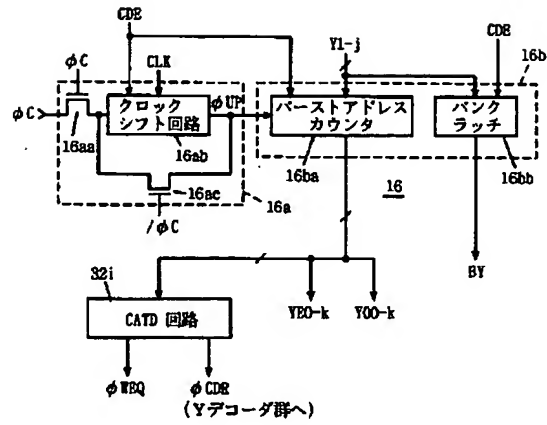
【図29】



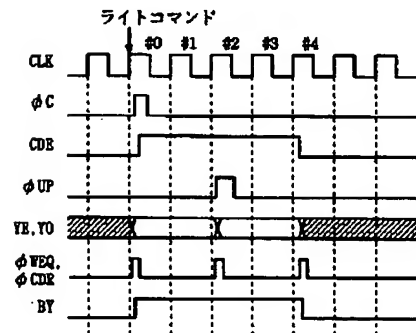
【図19】



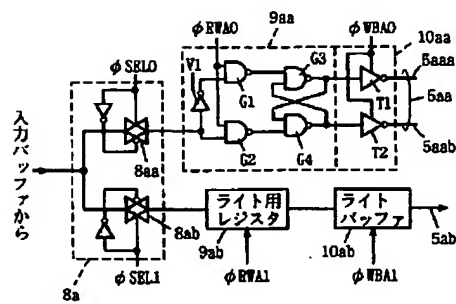
【図20】



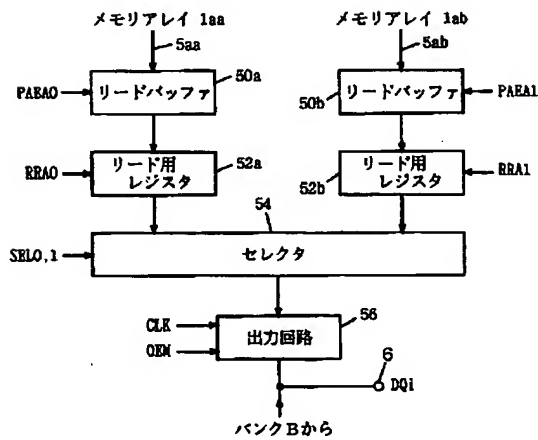
【図21】



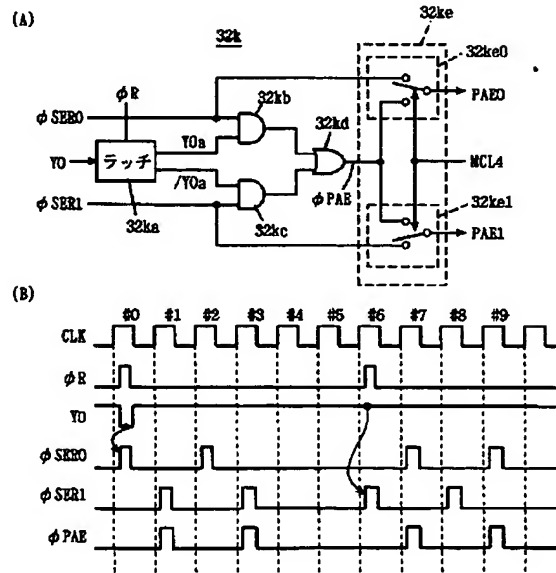
【図22】



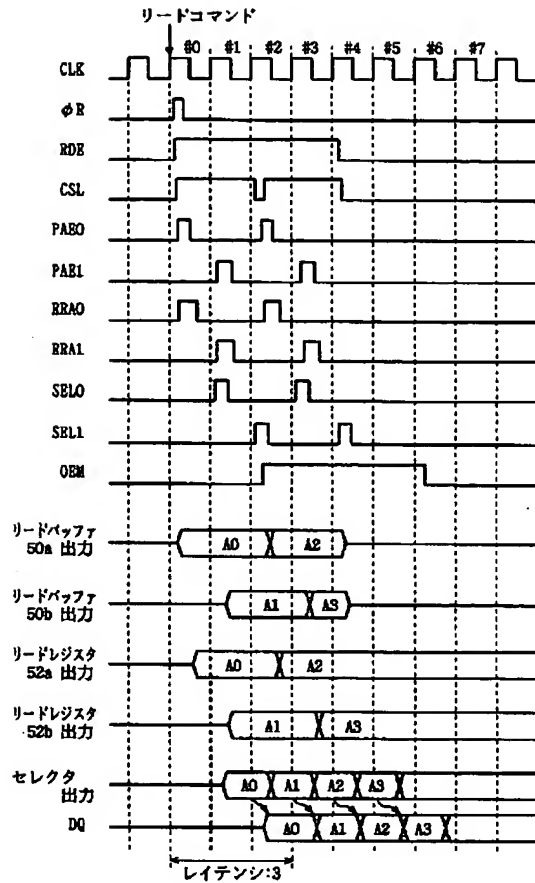
【図23】



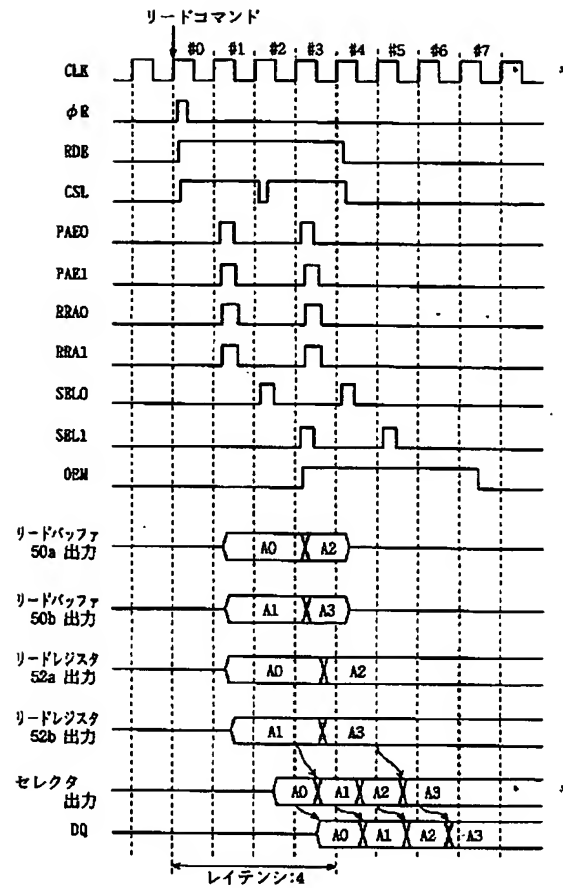
【図27】



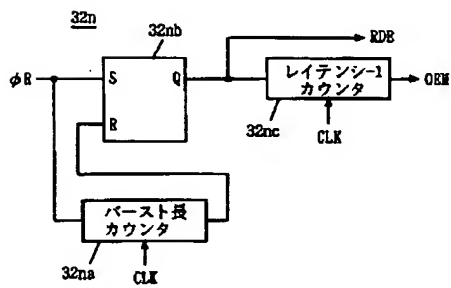
【図24】



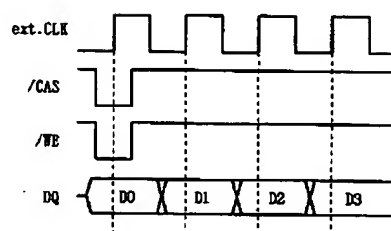
【図25】



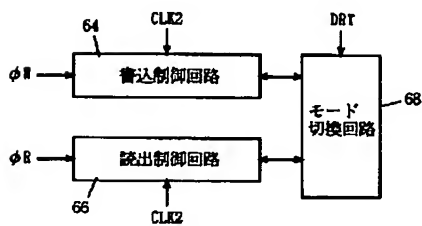
【図30】



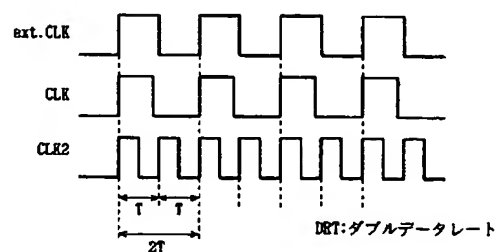
【図31】



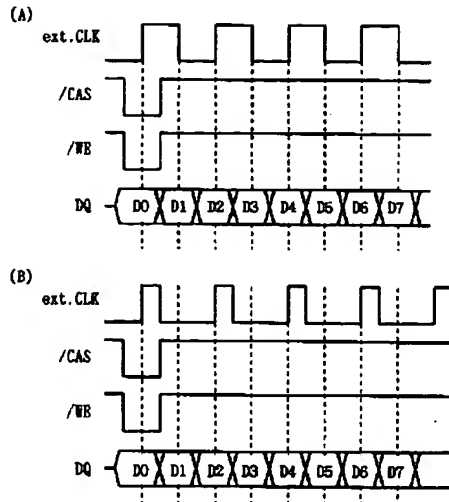
【図34】



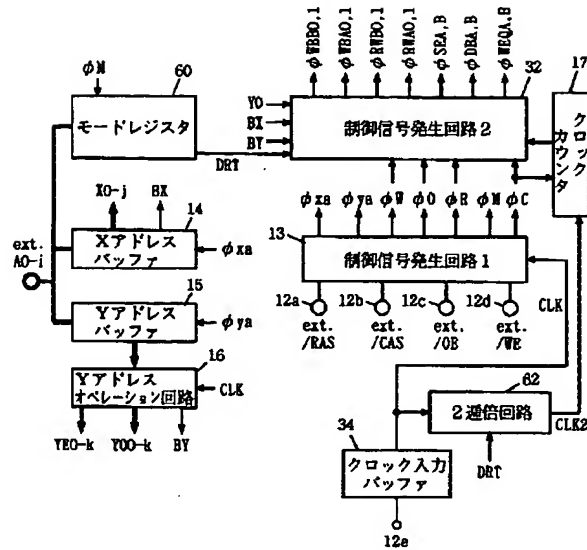
【図35】



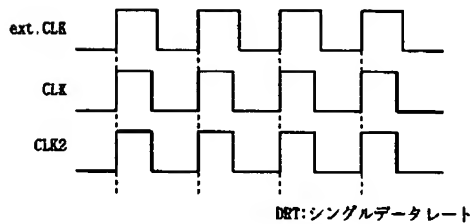
【図32】



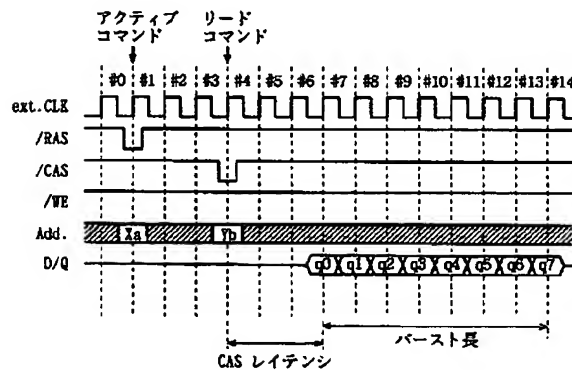
【図33】



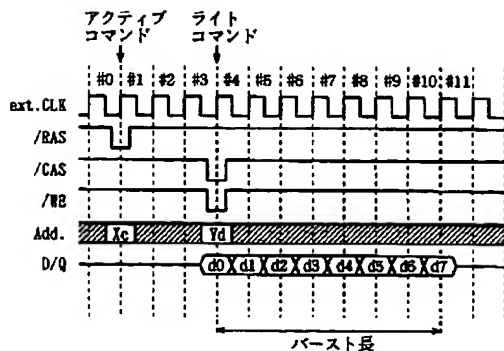
【図36】



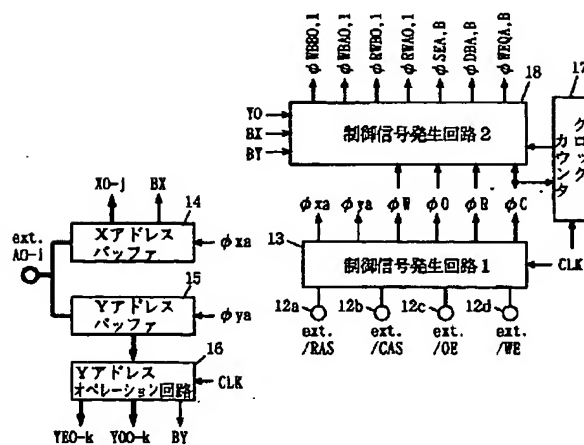
【図37】



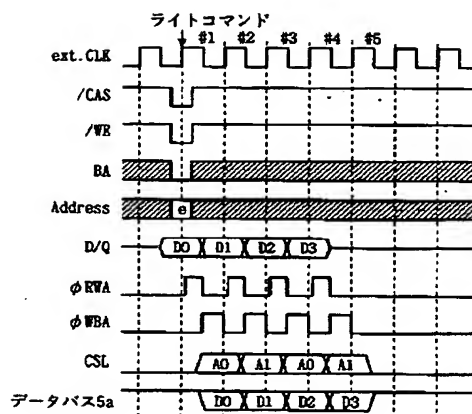
【図38】



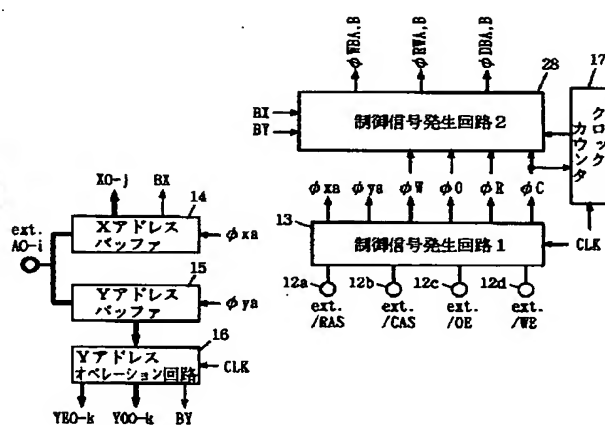
【図40】



【図44】



【图43】



【図42】

